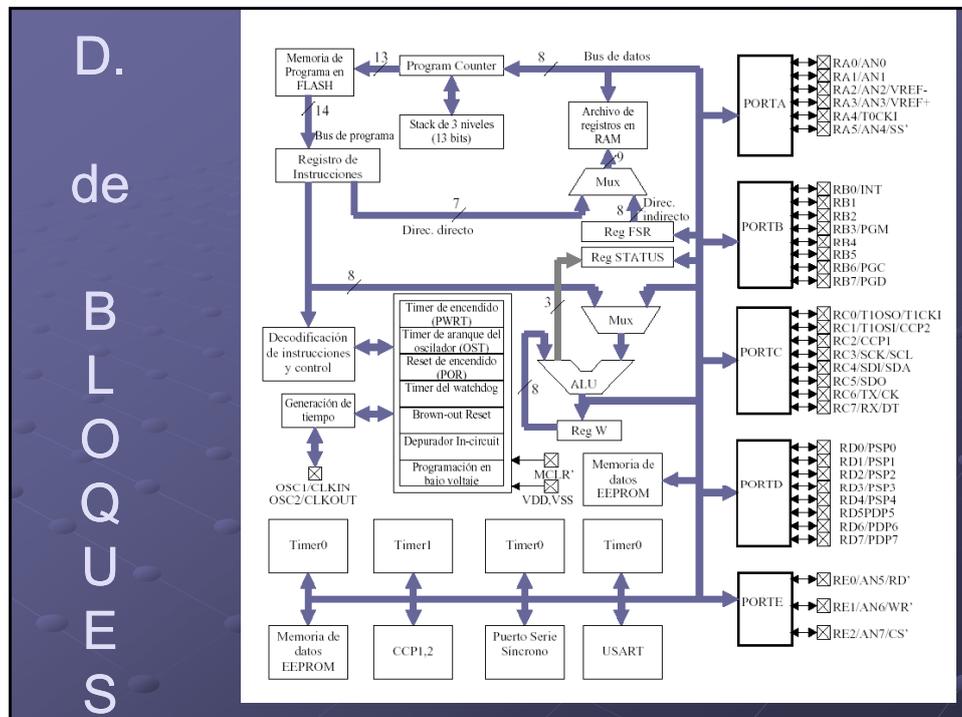
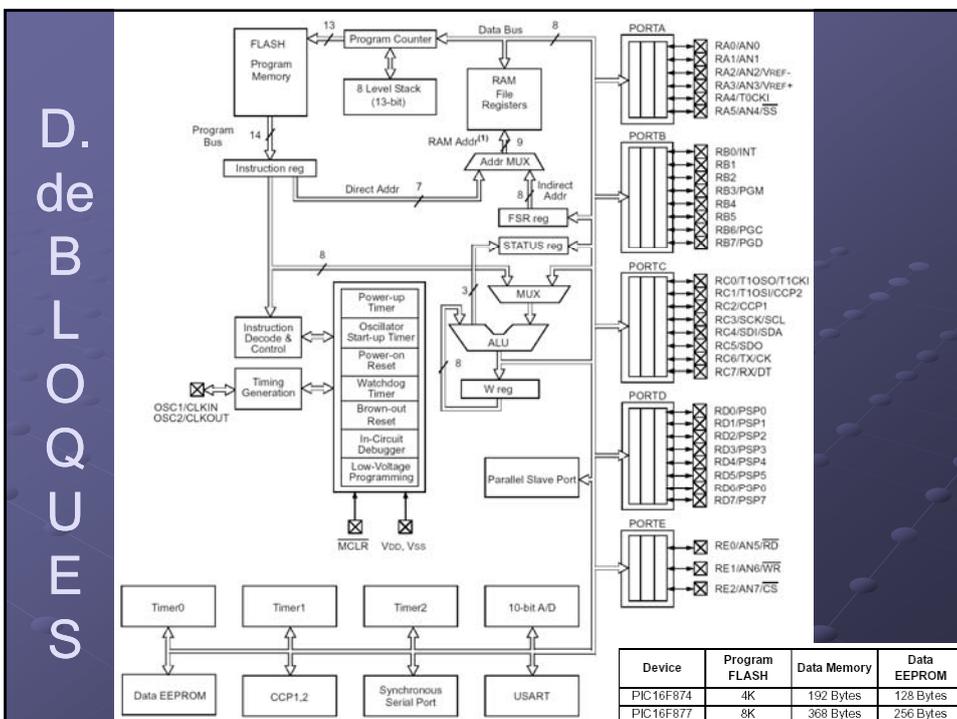
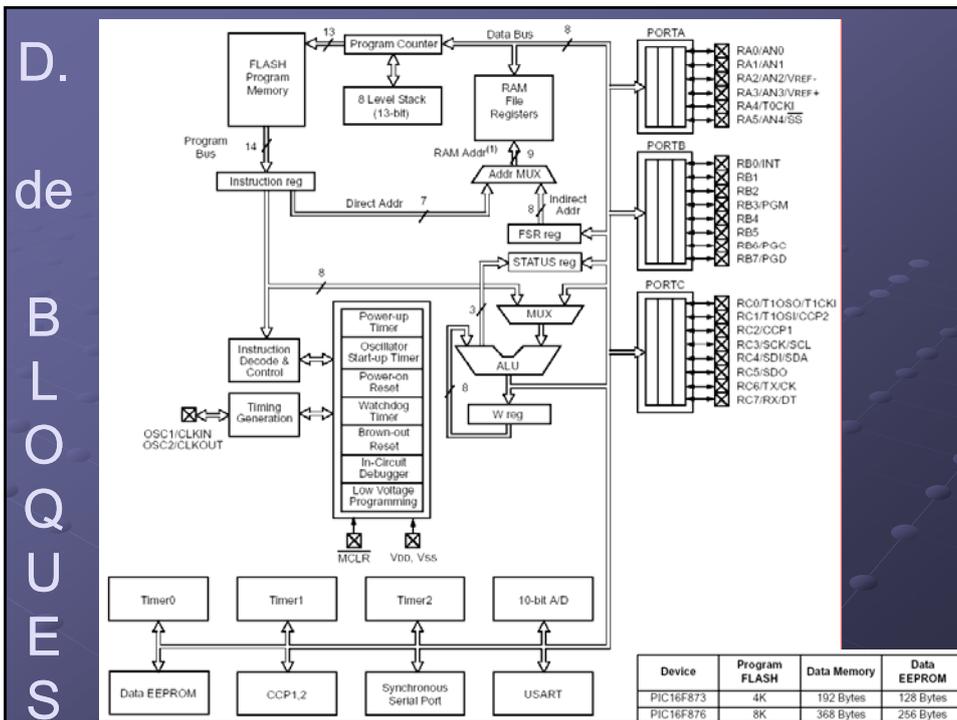


LOS PIC16F87X

Características Generales

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos





Características ⁽¹⁾

- Procesador de arquitectura RISC avanzada
- Juego de solo 35 instrucciones con 14 bits de longitud. Todas ellas se ejecutan en un ciclo de instrucción, menos las de salto que tardan dos.
- Hasta 8K palabras de 14 bits para la Memoria de Programa, tipo FLASH en los modelos 16F876 y 16F877 y 4KB de memoria para los PIC 16F873 y 16F874.
- Hasta 368 Bytes de memoria de Datos RAM.
- Hasta 256 Bytes de memoria de Datos EEPROM.
- Pines de salida compatibles para el PIC 16C73/74/76/77.
- Hasta 14 fuentes de interrupción internas y externas
- Pila de 8 niveles.
- Modos de direccionamiento directo e indirecto.

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Características ⁽²⁾

- Power-on Reset (POR).
- Temporizador Power-on (POP) y Oscilador Temporizador Start-Up (OST).
- Perro Guardián (WDT).
- Código de protección programable.
- Modo SLEEP de bajo consumo.
- Programación serie en circuito con dos pines.
- Solo necesita 5V para programarlo en este modo.
- Voltaje de alimentación comprendido entre 2 y 5,5 V.
- Bajo consumo:
 - < 2 mA valor para 5 V y 4 Mhz
 - 20 μ A para 3V y 32 Khz
 - <1 μ A en standby

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Periféricos de los PIC16F87X

- Timer0: Temporizador-Contador de 8 bits con Preescaler de 8 bits.
- Timer1: Temporizador-Contador de 16 bits con preescaler que puede incrementarse en modo sleep de forma externa por un cristal/clock.
- Timer2: Temporizador-Contador de 8 bits con preescaler y postescaler.
- Dos módulos de Captura, Comparación, PWM
- Convertidor A/D de 10 bits
- Puerto Serie Síncrono Master (SSP) con SPI (*Serial Peripheral Interface*) e I²C (Master/Slave).
- Puerto Paralelo Esclavo (PSP) solo en encapsulado con 40 pines.

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Diferencias entre los modelos de 28 pines y 40 pines

- Los de **40 pines** tienen **5 puertos** de E/S: A, B, C, D y E, los de **28 pines** solo **3 puertos A, B y C**.
- Los modelos de **40 pines** tienen **8 canales de entrada al convertidor A/D**, mientras que los de **28 pines** solo tienen **5 canales**.
- Solo poseen el **Puerto Paralelo Esclavo** los PIC16F87X de **40 pines**.

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

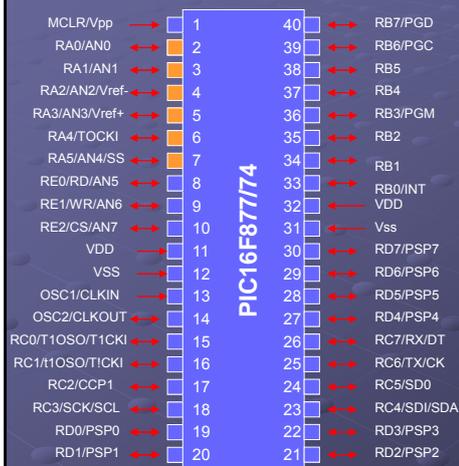
Descripción de los pines



- **OSC1/CLKIN** : Entrada externa de reloj
- **OSC2/CLKOUT** : Salida oscilador de cristal. Conexión a cristal o resonador en modo oscilador a cristal. En modo RC, la salida OSC2 es $\frac{1}{4}$ de la frecuencia de OSC1, que es un ciclo de instrucción.
- **MCLR/Vpp/THV** : Entrada Master Clear (reset) o entrada de voltaje de programación o alto voltaje de prueba en modo control. El Reset se activa con nivel bajo.

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Descripción de los pines



- **PORTA es bidireccional de Entrada/Salida**
- **RA0/AN0**: RA0 puede ser entrada analógica 0
- **RA1/AN1**: RA1 puede ser entrada analógica 1
- **RA2/AN2/VREF-**: RA2 puede ser entrada analógica 2 o voltaje negativo de referencia
- **RA3/AN3/VREF+**: RA3 puede ser entrada analógica o voltaje positivo de referencia
- **RA4/TOCKI**: RA4 puede ser entrada de reloj a TMR0. La salida es de tipo "Drenador Abierto"
- **RA5/SS/AN4**: RA5 puede ser entrada analógica 4 o la selección del puerto esclavo síncrono.

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Descripción de los pines

MCLR/Vpp	1	40	RB7/PGD
RA0/AN0	2	39	RB6/PGC
RA1/AN1	3	38	RB5
RA2/AN2/Vref-	4	37	RB4
RA3/AN3/Vref+	5	36	RB3/PGM
RA4/TOCKI	6	35	RB2
RA5/AN4/SS	7	34	RB1
RE0/RD/AN5	8	33	RB0/INT
RE1/WR/AN6	9	32	VDD
RE2/CS/AN7	10	31	Vss
VDD	11	30	RD7/PSP7
VSS	12	29	RD6/PSP6
OSC1/CLKIN	13	28	RD5/PSP5
OSC2/CLKOUT	14	27	RD4/PSP4
RC0/T1OSO/T1CKI	15	26	RC7/RX/DT
RC1/I1OSO/T1CKI	16	25	RC6/TX/CK
RC2/CCP1	17	24	RC5/SD0
RC3/SCK/SCL	18	23	RC4/SDI/SDA
RD0/PSP0	19	22	RD3/PSP3
RD1/PSP1	20	21	RD2/PSP2

PIC16F8774

PORTB es bidireccional de Entrada/Salida. Puede programarse con polarización interna "Pull-up"

- **RB0** puede ser entrada externa de interrupción
- **RB3** puede ser entrada de bajo voltaje de programación
- **RB4** :Interrupciones por cambio de estado en la patilla
- **RB5** :Interrupciones por cambio de estado en la patilla
- **RB6/PGC** :Interrupciones por cambio de estado en la patilla o patilla In-Circuit Debugger o reloj serie para programación.
- **RB7/PGD** :Interrupciones por cambio de estado en la patilla o patilla In-Circuit Debugger o datos serie para programación.

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Descripción de los pines

MCLR/Vpp	1	40	RB7/PGD
RA0/AN0	2	39	RB6/PGC
RA1/AN1	3	38	RB5
RA2/AN2/Vref-	4	37	RB4
RA3/AN3/Vref+	5	36	RB3/PGM
RA4/TOCKI	6	35	RB2
RA5/AN4/SS	7	34	RB1
RE0/RD/AN5	8	33	RB0/INT
RE1/WR/AN6	9	32	VDD
RE2/CS/AN7	10	31	Vss
VDD	11	30	RD7/PSP7
VSS	12	29	RD6/PSP6
OSC1/CLKIN	13	28	RD5/PSP5
OSC2/CLKOUT	14	27	RD4/PSP4
RC0/T1OSO/T1CKI	15	26	RC7/RX/DT
RC1/I1OSO/T1CKI	16	25	RC6/TX/CK
RC2/CCP1	17	24	RC5/SD0
RC3/SCK/SCL	18	23	RC4/SDI/SDA
RD0/PSP0	19	22	RD3/PSP3
RD1/PSP1	20	21	RD2/PSP2

PIC16F8774

PORTC es bidireccional de Entrada/Salida

- **RC0/T1OSO/T1CKI** :RC0 puede ser salida oscilador Timer1 o entrada de reloj para Timer1.
- **RC1/T1OSI/CCP2** :RC1 puede ser entrada oscilador Timer1 o Captu2/COMP2 Salida/PWM2.
- **RC2/CCP1**:RC2 Puede ser Captu1 Entrada/Comp1 salida/PWM1.
- **RC3/SCK/SCL**:RC3 puede ser entrada/salida del reloj síncrono para los modos SPI e I2C.
- **RC4/SDI/SDA**:RC4 puede ser datos de entrada SPI (modo SPI) o datos I/O (modo I2C).
- **RC5/SD0**: RC5 puede ser datos de salida SPI (modo SPI).
- **RC6/TX/CK**:RC6 Puede ser transmisión asíncrona USART o reloj Síncrono.
- **RC7/RX/DT** RC7 puede ser recepción Asíncrona USART o datos Síncronos.

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

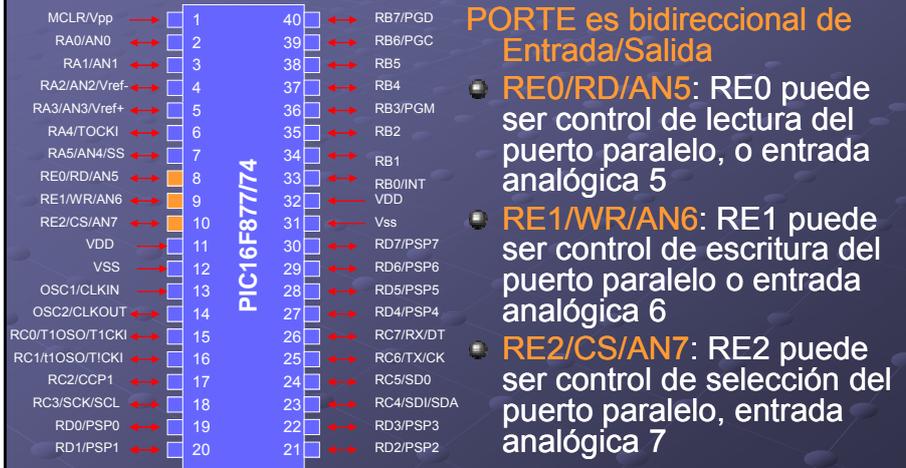
Descripción de los pines



● **PORTD es bidireccional de Entrada/Salida o puerto esclavo paralelo**

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Descripción de los pines



● **PORTE es bidireccional de Entrada/Salida**

- **RE0/RD/AN5:** RE0 puede ser control de lectura del puerto paralelo, o entrada analógica 5
- **RE1/WR/AN6:** RE1 puede ser control de escritura del puerto paralelo o entrada analógica 6
- **RE2/CS/AN7:** RE2 puede ser control de selección del puerto paralelo, entrada analógica 7

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Palabra de configuración (2007)

CP1	CP0	DEBUG	_	WRT	CPD	LVP	BODEN	CP1	CP0	PWRTE	WDTE	FOSC1	FOSC0
bit13													bit0

- Los bits de configuración pueden ser programados (puestos a 0) o dejados sin programar (puestos a 1), con objeto de seleccionar varias posibilidades de configuración del microcontrolador.
- El valor no programado de la palabra de configuración es 3FFFh.
- Los bits de configuración están mapeados en la posición 2007h de la memoria de programa. No obstante la posición 2007h es una posición de memoria que está fuera del espacio de memoria de programa de usuario, es decir únicamente es accesible durante la programación del microcontrolador y no durante la ejecución de un programa.

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Palabra de configuración (2007)

CP1	CP0	DEBUG	_	WRT	CPD	LVP	BODEN	CP1	CP0	PWRTE	WDTE	FOSC1	FOSC0
bit13													bit0

- **CP1:CP0: FLASH Program Memory Code Protection bits(2)**
 - 11 = Sin protección de código
 - 10 = 1F00h to 1FFFh Código protegido (PIC16F877, 876)
 - 10 = 0F00h to 0FFFh Código protegido (PIC16F874, 873)
 - 01 = 1000h to 1FFFh Código protegido (PIC16F877, 876)
 - 01 = 0800h to 0FFFh Código protegido (PIC16F874, 873)
 - 00 = 0000h to 1FFFh Código protegido (PIC16F877, 876)
 - 00 = 0000h to 0FFFh Código protegido (PIC16F874, 873)

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Palabra de configuración (2007)

CP1	CP0	DEBUG	_	WRT	CPD	LVP	BODEN	CP1	CP0	PWRTE	WDTE	FOSC1	FOSC0
bit13													bit0

- **DEBUG: Modo In-Circuit Debugger**
 1 = Deshabilita modo *In-Circuit Debugger*, RB6 y RB7 serán patillas de E/S
 0 = Habilita *In Circuit Debugger* RB6 y RB7 dedicadas al debugger
- bit 10. Sin implementar. Se lee como "1"
- **WRT: Habilita escritura en memoria flag de programa.**
 1 = Sin protección, se puede escribir con el control de EECON
 0 = Sin protección, no se puede escribir con el control de EECON

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Palabra de configuración (2007)

CP1	CP0	DEBUG	_	WRT	CPD	LVP	BODEN	CP1	CP0	PWRTE	WDTE	FOSC1	FOSC0
bit13													bit0

- **CPD: Protección de datos de la memoria EEPROM**
 1 = Sin protección
 0 = Datos de la EEPROM protegidos
- **LVP: Bit de habilitación de programación a bajo voltaje.**
 1 = Patilla RB3/PGM tiene funciones PGM, bajo voltaje de programación habilitado.
 0 = RB3 es digital I/O, HV habilitado, #MCLR se emplea para programación
- **BODEN: Bit de habilitación Brown-out Reset**
 1 = BOR habilitado
 0 = BOR inhabilitado

Nota.- Al habilitar el Brown-out Reset se habilita automáticamente el Power-up

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Palabra de configuración (2007)

CP1	CP0	DEBUG	_	WRT	CPD	LVP	BODEN	CP1	CP0	PWRTE	WDTE	FOSC1	FOSC0
bit13													bit0

- **PWRTE: Bit de habilitación del temporizador Power-up.**

1 = PWRTE deshabilitado

0 = PWRTE habilitado

- **WDTE: bit de habilitación de Watchdog**

1 = WDT habilitado

0 = WDT deshabilitado

Nota.- Al habilitar el Brown-out Reset se habilita automáticamente el Power-up

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Palabra de configuración (2007)

CP1	CP0	DEBUG	_	WRT	CPD	LVP	BODEN	CP1	CP0	PWRTE	WDTE	FOSC1	FOSC0
bit13													bit0

- **FOSC1:FOSC0 : bits de selección de oscilador**

- 11 = Oscilador RC

- 10 = Oscilador HS

- 01 = Oscilador XT

- 00 = Oscilador LP

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

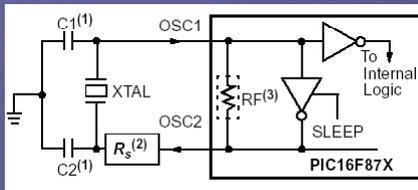
Configuración del oscilador

- Los PIC16F87X pueden funcionar con 4 modos distintos de oscilador. El usuario puede programar los dos bits de configuración para seleccionar uno de estos 4 modos:
 - LP Low Power Crystal
 - XT Crystal/Resonator
 - HS High Speed Crystal/Resonator
 - RC Resistor/Capacitor
- Otros PIC de la familia PIC16 tienen un número mayor de modos para el oscilador y, por tanto, un número mayor de bits para seleccionar. Estos otros modos son:
 - EXTRC External Resistor/Capacitor
 - EXTRC External Resistor/Capacitor with CLKOUT
 - INTRC Internal 4 MHz Resistor/Capacitor
 - INTRC Internal 4 MHz Resistor/Capacitor with CLKOUT

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Configuración del oscilador

- En los modos XT, LP o HS un cristal de cuarzo o un resonador cerámico se conecta a los pines OSC1 y OSC2 tal y como se indica en la figura adjunta. Normalmente no se pone la resistencia RS, se sustituye por un cortocircuito



Los valores de los condensadores C1 y C2 dependen del cristal o resonador escogido.
En las tablas adjuntas se pueden ver valores típicos para estos condensadores

TABLE 12-1: CERAMIC RESONATORS

Ranges Tested:			
Mode	Freq.	OSC1	OSC2
XT	455 kHz	68 - 100 pF	68 - 100 pF
	2.0 MHz	15 - 68 pF	15 - 68 pF
	4.0 MHz	15 - 68 pF	15 - 68 pF
HS	8.0 MHz	10 - 68 pF	10 - 68 pF
	16.0 MHz	10 - 22 pF	10 - 22 pF

These values are for design guidance only.
See notes following Table 12-2.

Resonators Used:		
455 kHz	Panasonic EFO-A455K04B	± 0.3%
2.0 MHz	Murata Eerie CSA2.00MG	± 0.5%
4.0 MHz	Murata Eerie CSA4.00MG	± 0.5%
8.0 MHz	Murata Eerie CSA8.00MT	± 0.5%
16.0 MHz	Murata Eerie CSA16.00MX	± 0.5%

All resonators used did not have built-in capacitors.

Osc Type	Crystal Freq.	Cap. Range C1	Cap. Range C2
LP	32 kHz	33 pF	33 pF
	200 kHz	15 pF	15 pF
XT	200 kHz	47-68 pF	47-68 pF
	1 MHz	15 pF	15 pF
	4 MHz	15 pF	15 pF
HS	4 MHz	15 pF	15 pF
	8 MHz	15-33 pF	15-33 pF
	20 MHz	15-33 pF	15-33 pF

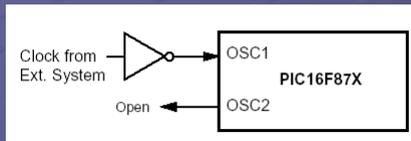
These values are for design guidance only.
See notes following this table.

Crystals Used		
32 kHz	Epson C-001R32.768K-A	± 20 PPM
200 kHz	STD XTAL 200.000KHZ	± 20 PPM
1 MHz	ECS ECS-10-13-1	± 50 PPM
4 MHz	ECS ECS-40-20-1	± 50 PPM
8 MHz	EPSON CA-301 8.000M-C	± 30 PPM
20 MHz	EPSON CA-301 20.000M-C	± 30 PPM

IES Ju
Desarrol

Configuración del oscilador

- En los modos XT, LP o HS también se puede utilizar un oscilador de cuarzo ó módulo de cristal que ya proporciona la señal de reloj directamente sin hacer uso de la circuitería interna del microcontrolador para generar el oscilador

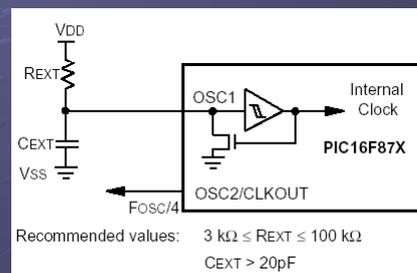


IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Configuración del Oscilador

En aplicaciones donde la precisión de tiempo no debe ser muy elevada, la opción RC es una solución válida de bajo coste. En este caso se conectan externamente una resistencia y un condensador como se indica en la figura adjunta.

La frecuencia de oscilación depende de la tensión de alimentación VDD, del valor de la resistencia REXT, del valor del condensador CEXT y de la temperatura de funcionamiento. Por tanto, de una tarjeta con un micro a otra con el mismo micro y valores de REXT y CEXT, la frecuencia de oscilación podrá variar acorde a la tolerancia en los valores de REXT y CEXT. La frecuencia del oscilador dividida por 4 se obtiene como salida en el pin OSC2.



IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

Configuración del Oscilador

En las características eléctricas de cada microcontrolador se dan gráficas que te permiten escoger el valor de la resistencia para un valor del condensador, temperatura y tensión de alimentación determinadas.

FIGURE 16-9: AVERAGE F_{osc} vs. V_{DD} FOR VARIOUS VALUES OF R (RC MODE, C = 300 pF, 25 C)

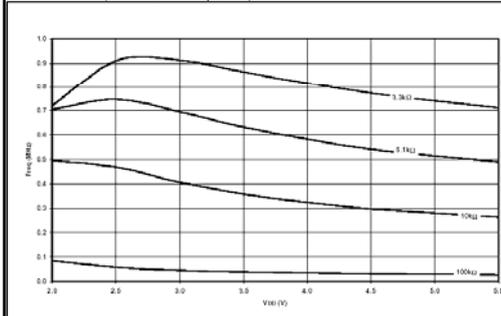


FIGURE 16-7: AVERAGE F_{osc} vs. V_{DD} FOR VARIOUS VALUES OF R (RC MODE, C = 20 pF, 25 C)

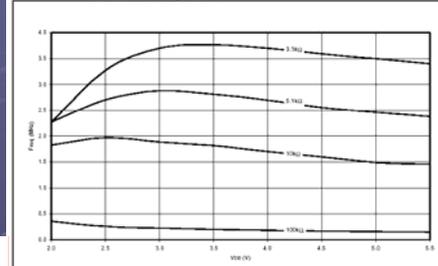
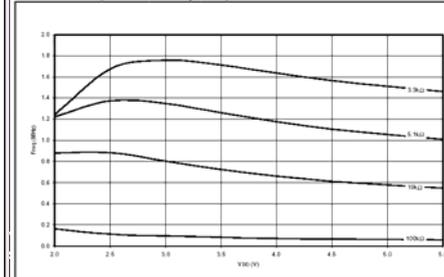


FIGURE 16-8: AVERAGE F_{osc} vs. V_{DD} FOR VARIOUS VALUES OF R (RC MODE, C = 100 pF, 25 C)



RESET del μC y temporizaciones en el arranque

Los PIC16F87X tienen 6 posibles fuentes de RESET del MCU:

- Power-on Reset (POR)
- MCLR Reset durante funcionamiento normal
- MCLR Reset durante SLEEP
- WDT Reset (durante funcionamiento normal)
- WDT Wake-up (durante SLEEP)
- Brown-out Reset (BOR)

La mayoría de los registros del mapa de memoria de datos que no se ven afectados por ningún tipo de RESET, su estado ó valor puede ser desconocido si se produce un POR o permanecer inalterado respecto a su último valor con otro tipo de RESET.

No obstante, hay muchos otros registros que son "reseteados" a un valor determinado si se produce un POR, un MCLR Reset ó WDT Reset durante funcionamiento normal, un MCLR Reset durante SLEEP ó un BOR. Estos registros no suelen ver afectado su valor si se produce un WDT Wake-Up, que realmente es una vuelta al funcionamiento normal desde el punto de programa donde se hubiera ejecutado el SLEEP.

Los bits TO y PD del registro STATUS y los bits POR y BOR del registro PCON dan información de cual fue el motivo del último RESET, que puede utilizarse en el programa.

#POR	#BOR	#TO	#PD	
0	X	1	1	Power-on Reser (Encendido)
0	X	0	X	Illegal, #TO se pone a "1" por #POR
0	X	X	0	Illegal, #PD se pone a "1" por #POR
1	0	1	1	Brown-out Reset (Error de VDD)
1	1	0	1	WDT Reset
1	1	0	0	WDT Wake-up (Despertar WDT)
1	1	U	U	Operación normal de realizar un Reset
1	1	1	0	Operación de Reset durante el SLEEP (Despertar por WDT)

BROWN-OUT RESET

- La circuitería de **Brown-out** disponible en el propio chip detecta si la tensión de alimentación cae por debajo de un determinado valor (BVDD) provocando un RESET del dispositivo.

Esto asegura que el dispositivo no continúe con la ejecución del programa si la alimentación se sale del rango de funcionamiento válido.

- **Brown-out RESET** se utiliza principalmente en aplicaciones con alimentación desde red o desde batería donde se conmuten grandes cargas y puedan originar que la tensión de alimentación caiga temporalmente por debajo de la tensión mínima de alimentación permitida.

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

BROWN-OUT RESET

- Como se ha visto en la palabra de configuración existe el bit **BODEN** que permite habilitar (1) o deshabilitar (0) esta función.
- Si el **BROWN-OUT** esta habilitado, el **POWER-UP Timer** también debe estarlo.
- El parámetro D005 (**V_{BOR}**) (típicamente 4V) es la tensión mínima permitida en la alimentación. Si este valor se supera durante un tiempo mayor al fijado por el parámetro 35 (**T_{BOR} = 100µs**) se producirá un RESET del microcontrolador. El RESET no está garantizado si la tensión de alimentación cae por debajo del valor D005 durante un tiempo menor del fijado por el parámetro 35.
- El chip permanecerá en RESET hasta que la tensión de alimentación supere BVDD. En ese instante se inicia la temporización de POWER-UP (72 mseg) durante la que el chip se mantendrá reseteado.
- Si durante esta temporización se vuelve a producir una caída de la tensión de alimentación por debajo de BVDD, el chip volverá al estado de RESET y la temporización de Power-up volverá a arrancar desde cero cuando la tensión de alimentación vuelva a recuperarse por encima de BVDD

IES Juan de la Cierva (Madrid).
Desarrollo de Productos Electrónicos

BROWN-OUT RESET

Param No.	Symbol	Characteristic/Device	Min	Typ†	Max	Units	Conditions
PIC16LF873/874/876/877-04 (Commercial, Industrial) Standard Operating Conditions (unless otherwise specified) Operating temperature: -40°C ≤ TA ≤ +85°C † TA = 25°C							
PIC16F873/874/876/877-20 (Commercial, Industrial) Standard Operating Conditions (unless otherwise specified) Operating temperature: -40°C ≤ TA ≤ +85°C † TA = 25°C							
D001	VDD	Supply Voltage	2.0	—	5.5	V	LP, XT, RC osc configuration (DC to 4 MHz)
D001		9LF87X	4.0	—	5.5	V	LP, XT, RC osc configuration
D001A		16F87X	4.5	—	5.5	V	HS osc configuration
		VBOR	—	—	5.5	V	BOR enabled, FOSC = 14 MHz†
D002	VDR	RAM Data Retention Voltage††	—	1.5	—	V	
D003	VPOR	VDD Start Voltage to ensure internal Power-on Reset signal	—	VSS	—	V	See section on Power-on Reset for details
D004	SVD0	VDD Rise Rate to ensure internal Power-on Reset signal	0.05	—	—	V/ms	See section on Power-on Reset for details
D005	VBOR	Brown-out Reset Voltage	3.7	4.0	4.35	V	BODEN bit in configuration word enabled



El chip permanecerá en **RESET** hasta que la tensión de alimentación supere BVDD. En ese instante se inicia la temporización de **POWER-UP** (72 mseg) durante la que el chip se mantendrá reseteado.

TABLE 15-3: RESET, WATCHDOG TIMER, OSCILLATOR START-UP TIMER, POWER-UP TIMER, AND BROWN-OUT RESET REQUIREMENTS

Parameter No.	Symbol	Characteristic	Min	Typ†	Max	Units	Conditions
30	Tirel	Micro Pulse Width (low)	2	—	—	µs	VDD = 5V, -40°C to +85°C
31*	Twdl	Watchdog Timer Time-out Period (to Prescaler)	7	18	33	ms	VDD = 5V, -40°C to +85°C
32	Tosc	Oscillation Start-up Timer Period	—	1024	Tosc	—	Tosc = OSC1 period
33*	Tpur	Power-up Timer Period	38	72	132	ms	VDD = 5V, -40°C to +85°C
34	Tioz	I/O Hi-impedance from MCLR Low or Watchdog Timer Reset	—	—	2.1	µs	
35	TBOR	Brown-out Reset pulse width	100	—	—	µs	VDD ≥ VBOR (D005)

Desarrollo de Productos Electrónicos