

# LOS PIC16F87X

## Registros de propósito específico SFR

Fernando Remiro Domínguez  
IES Juan de la Clerva de Madrid

## Mapa de registros PIC16F876 y PIC16F877

File Address	File Address	File Address	File Address
Indirect addr. <sup>(1)</sup> 00h	Indirect addr. <sup>(1)</sup> 80h	Indirect addr. <sup>(1)</sup> 100h	Indirect addr. <sup>(1)</sup> 180h
TMR0 01h	OPTION_REG 81h	TMR0 101h	OPTION_REG 181h
PCL 02h	PCL 82h	PCL 102h	PCL 182h
STATUS 03h	STATUS 83h	STATUS 103h	STATUS 183h
FSR 04h	FSR 84h	FSR 104h	FSR 184h
PORTA 05h	TRISA 85h		
PORTB 06h	TRISB 86h	PORTB 106h	TRISB 186h
PORTC 07h	TRISC 87h		
PORTD <sup>(1)</sup> 08h	TRISD <sup>(1)</sup> 88h		
PORTE <sup>(1)</sup> 09h	TRISE <sup>(1)</sup> 89h		
PCLATH 0Ah	PCLATH 8Ah	PCLATH 10Ah	PCLATH 18Ah
INTCON 0Bh	INTCON 8Bh	INTCON 10Bh	INTCON 18Bh
PIR1 0Ch	PIE1 8Ch	EEDATA 10Ch	EECON1 18Ch
PIR2 0Dh	PIE2 8Dh	EEADR 10Dh	EECON2 18Dh
TMR1L 0Eh	PCON 8Eh	EEDATH 10Eh	Reserved <sup>(2)</sup> 18Eh
TMR1H 0Fh		EEADRH 10Fh	Reserved <sup>(2)</sup> 18Fh
T1CON 10h			
TMR2 11h	SSPCON2 91h		
T2CON 12h	PR2 92h		
SSPBUF 13h	SSPAD 93h		
SSPCON 14h	SSPSTAT 94h		
CCPR1L 15h			
CCPR1H 16h			
CCP1CON 17h			
RCSTA 18h	TXSTA 97h	General Purpose Register 16 Bytes 117h	General Purpose Register 16 Bytes 197h
TXREG 19h	SPBRG 99h		
RCREG 1Ah			
CCPR2L 1Bh			
CCPR2H 1Ch			
CCP2CON 1Dh			
ADRESH 1Eh	ADRESL 9Eh		
ADCON0 1Fh	ADCON1 9Fh		
General Purpose Register 96 Bytes 7Fh	General Purpose Register 80 Bytes EFh	General Purpose Register 80 Bytes 16Fh	General Purpose Register 80 Bytes 1EFh
	accesses 70h-7Fh F0h	accesses 70h-7Fh 170h	accesses 70h - 7Fh 1F0h
Bank 0	Bank 1	Bank 2	Bank 3

# Mapa de registros PIC16F873 y PIC16F874

File Address	File Address	File Address	File Address
Indirect addr. <sup>(1)</sup> 00h	Indirect addr. <sup>(1)</sup> 80h	Indirect addr. <sup>(1)</sup> 100h	Indirect addr. <sup>(1)</sup> 180h
TMR0 01h	OPTION_REG 81h	TMR0 101h	OPTION_REG 181h
PCL 02h	PCL 82h	PCL 102h	PCL 182h
STATUS 03h	STATUS 83h	STATUS 103h	STATUS 183h
FSR 04h	FSR 84h	FSR 104h	FSR 184h
PORTA 05h	TRISA 85h		
PORTB 06h	TRISB 86h	PORTB 106h	TRISB 186h
PORTC 07h	TRISC 87h		
PORTD <sup>(1)</sup> 08h	TRISD <sup>(1)</sup> 88h		
PORTE <sup>(1)</sup> 09h	TRISE <sup>(1)</sup> 89h		
PCLATH 0Ah	PCLATH 8Ah	PCLATH 10Ah	PCLATH 18Ah
INTCON 0Bh	INTCON 8Bh	INTCON 10Bh	INTCON 18Bh
PIR1 0Ch	PIE1 8Ch	EEDATA 10Ch	ECON1 18Ch
PIR2 0Dh	PIE2 8Dh	EEDADR 10Dh	ECON2 18Dh
TMR1L 0Eh	PCON 8Eh	EEDATH 10Eh	Reserved <sup>(2)</sup> 18Eh
TMR1H 0Fh		EEADRH 10Fh	Reserved <sup>(2)</sup> 18Fh
T1CON 10h			
TMR2 11h	SSPCON2 91h		
T2CON 12h	PR2 92h		
SSPBUF 13h	SSPADD 93h		
SSPCON 14h	SSPSTAT 94h		
CCPR1L 15h			
CCPR1H 16h			
CCP1CON 17h			
RCSTA 18h	TXSTA 97h		
TXREG 19h	SPBRG 98h		
RCREG 1Ah			
CCPR2L 1Bh			
CCPR2H 1Ch			
CCP2CON 1Dh			
ADRESH 1Eh	ADRESL 9Eh		
ADCON0 1Fh	ADCON1 9Fh		
	A0h		
General Purpose Register 96 Bytes	General Purpose Register 96 Bytes	accesses 20h-7Fh	accesses A0h - FFh
Bank 0 7Fh	Bank 1 FFh	Bank 2 17Fh	Bank 3 1FFh

TABLE 2-1: PIC16F882/883/884/886/887 SPECIAL FUNCTION REGISTERS SUMMARY BANK 0

Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Page
<b>Bank 0</b>											
00h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	37,213
01h	TMR0	Timer0 Module Register								xxxx xxxx	73,213
02h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	37,213
03h	STATUS	IRP	RP1	RP0	TO	PD	Z	DC	C	0001 1xxxx	29,213
04h	FSR	Indirect Data Memory Address Pointer								xxxx xxxx	37,213
05h	PORTA <sup>(3)</sup>	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	xxxx xxxx	39,213
06h	PORTB <sup>(3)</sup>	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	48,213
07h	PORTC <sup>(3)</sup>	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	53,213
08h	PORTD <sup>(3,4)</sup>	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	xxxx xxxx	57,213
09h	PORTE <sup>(3)</sup>	—	—	—	—	RE3	RE2 <sup>(4)</sup>	RE1 <sup>(4)</sup>	RE0 <sup>(4)</sup>	---- xxxx	59,213
0Ah	PCLATH	—	—	—	Write Buffer for upper 5 bits of Program Counter					--- 0 0000	37,213
0Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF <sup>(1)</sup>	0000 000x	31,213
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	34,213
0Dh	PIR2	OSFIF	C2IF	C1IF	EEIF	BCLIF	ULPWUIF	—	CCP2IF	0000 00-0	35,213
0Eh	TMR1L	Holding Register for the Least Significant Byte of the 16-bit TMR1 Register								xxxx xxxx	76,213
0Fh	TMR1H	Holding Register for the Most Significant Byte of the 16-bit TMR1 Register								xxxx xxxx	76,213
10h	T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNCR	TMR1CS	TMR1ON	0000 0000	79,213
11h	TMR2	Timer2 Module Register								0000 0000	81,213
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	82,213
13h	SSPBUF	Synchronous Serial Port Receive Buffer/Transmit Register								xxxx xxxx	179,213
14h	SSPCON <sup>(2)</sup>	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	177,213
15h	CCPR1L	Capture/Compare/PWM Register 1 Low Byte (LSB)								xxxx xxxx	126,213
16h	CCPR1H	Capture/Compare/PWM Register 1 High Byte (MSB)								xxxx xxxx	126,213
17h	CCP1CON	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	124,213
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	159,213
19h	TXREG	EUSART Transmit Data Register								0000 0000	151,213
1Ah	RCREG	EUSART Receive Data Register								0000 0000	156,213
1Bh	CCPR2L	Capture/Compare/PWM Register 2 Low Byte (LSB)								xxxx xxxx	126,213
1Ch	CCPR2H	Capture/Compare/PWM Register 2 High Byte (MSB)								xxxx xxxx	126,213
1Dh	CCP2CON	—	—	DC2B1	DC2B0	CCP2M3	CCP2M2	CCP2M1	CCP2M0	-- 00 0000	125,214
1Eh	ADRESH	A/D Result Register High Byte								xxxx xxxx	99,214
1Fh	ADCON0	ADCS1	ADCS0	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON	0000 0000	104,214

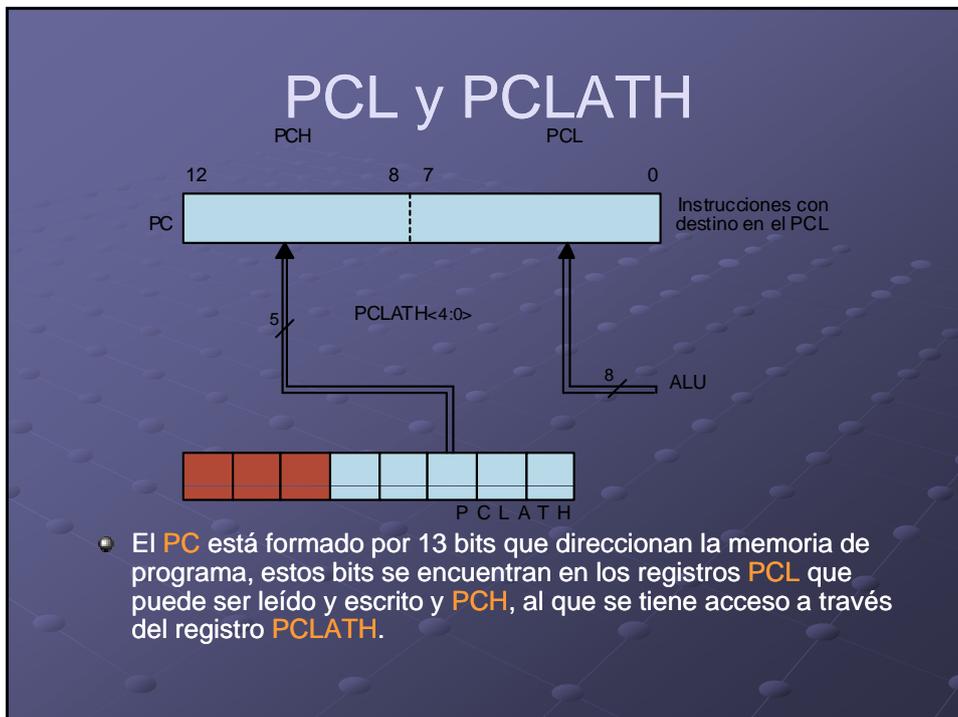
**TABLE 2-1: SPECIAL FUNCTION REGISTER SUMMARY (CONTINUED)**

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Details on page:	
<b>Bank 1</b>												
80h <sup>(3)</sup>	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)									0000 0000	27
81h	OPTION_REG	RBPV	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	19	
82h <sup>(3)</sup>	PCL	Program Counter (PC) Least Significant Byte									0000 0000	26
83h <sup>(3)</sup>	STATUS	IRP	RP1	RP0	T0	PD	Z	DC	C	0001 1xxxx	18	
84h <sup>(3)</sup>	FSR	Indirect Data Memory Address Pointer									xxxxx xxxxx	27
85h	TRISA	PORTA Data Direction Register									--11 1111	29
86h	TRISB	PORTB Data Direction Register									1111 1111	31
87h	TRISC	PORTC Data Direction Register									1111 1111	33
88h <sup>(4)</sup>	TRISD	PORTD Data Direction Register									1111 1111	35
89h <sup>(4)</sup>	TRISE	IBF	OBF	IBOV	PSPMODE	PORTE Data Direction Bits					0000 -111	37
8Ah <sup>(1,3)</sup>	PCLATH	Write Buffer for the upper 5 bits of the Program Counter									---0 0000	26
8Bh <sup>(3)</sup>	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	20	
8Ch	PIE1	PSPIE <sup>(2)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	21	
8Dh	PIE2	(5)		EEIE	BCLIE	CCP2IE		-x-0 0--0		23		
8Eh	PCON	POR BOR									---- -xgx	25
8Fh	---	Unimplemented									---	---
90h	---	Unimplemented									---	---
91h	SSPCON2	GGEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	0000 0000	68	
92h	PR2	Timer2 Period Register									1111 1111	55
93h	SSPADD	Synchronous Serial Port (I <sup>2</sup> C mode) Address Register									0000 0000	73, 74
94h	SSPSTAT	SMP	CKE	D/A	P	S	R/W	UA	BF	0000 0000	66	
95h	---	Unimplemented									---	---
96h	---	Unimplemented									---	---
97h	---	Unimplemented									---	---
98h	TXSTA	CSRC	TX9	TXEN	SYNC	---	BRGH	TRMT	TX9D	0000 -010	95	
99h	SPBRG	Baud Rate Generator Register									0000 0000	97
9Ah	---	Unimplemented									---	---
9Bh	---	Unimplemented									---	---
9Ch	---	Unimplemented									---	---
9Dh	---	Unimplemented									---	---
9Eh	ADRESL	A/D Result Register Low Byte									xxxxx xxxxx	116
9Fh	ADCON1	ADFM	---			PCFG3	PCFG2	PCFG1	PCFG0	0--- 0000	112	

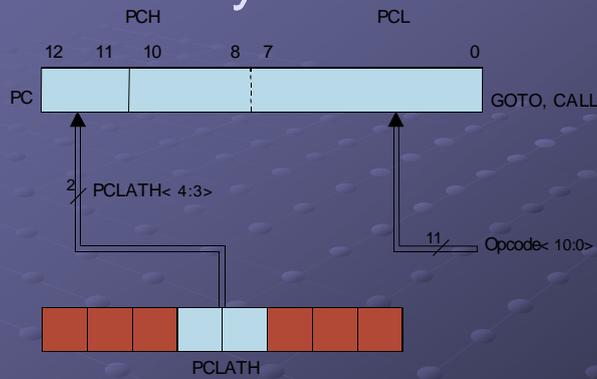
**TABLE 2-1: SPECIAL FUNCTION REGISTER SUMMARY (CONTINUED)**

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Details on page:	
<b>Bank 2</b>												
100h <sup>(3)</sup>	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)									0000 0000	27
101h	TMR0	Timer0 Module Register									xxxxx xxxxx	47
102h <sup>(3)</sup>	PCL	Program Counter's (PC) Least Significant Byte									0000 0000	26
103h <sup>(3)</sup>	STATUS	IRP	RP1	RP0	T0	PD	Z	DC	C	0001 1xxxx	18	
104h <sup>(3)</sup>	FSR	Indirect Data Memory Address Pointer									xxxxx xxxxx	27
105h	---	Unimplemented									---	---
106h	PORTB	PORTB Data Latch when written; PORTB pins when read									xxxxx xxxxx	31
107h	---	Unimplemented									---	---
108h	---	Unimplemented									---	---
109h	---	Unimplemented									---	---
10Ah <sup>(1,3)</sup>	PCLATH	Write Buffer for the upper 5 bits of the Program Counter									---0 0000	26
10Bh <sup>(3)</sup>	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	20	
10Ch	EEDATA	EEPROM Data Register Low Byte									xxxxx xxxxx	41
10Dh	EEADR	EEPROM Address Register Low Byte									xxxxx xxxxx	41
10Eh	EEDATH	EEPROM Data Register High Byte									xxxxx xxxxx	41
10Fh	EEADRH	EEPROM Address Register High Byte									xxxxx xxxxx	41

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Details on page:
Bank 3											
180h <sup>(2)</sup>	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								0000 0000	27
181h	OPTION_REG	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	19
182h <sup>(2)</sup>	PCL	Program Counter (PC) Least Significant Byte								0000 0000	26
183h <sup>(2)</sup>	STATUS	IRP	RP1	RP0	T0	PD	Z	DC	C	0001 1xxx	18
184h <sup>(2)</sup>	FSR	Indirect Data Memory Address Pointer								xxxx xxxx	27
185h	—	Unimplemented								—	—
186h	TRISB	PORTB Data Direction Register								1111 1111	31
187h	—	Unimplemented								—	—
188h	—	Unimplemented								—	—
189h	—	Unimplemented								—	—
18Ah <sup>(1,3)</sup>	PCLATH	—	—	—	Write Buffer for the upper 5 bits of the Program Counter					---0 0000	26
18Bh <sup>(2)</sup>	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	20
18Ch	EECON1	EEPGD	—	—	—	WRERR	WREN	WR	RD	x--- x000	41, 42
18Dh	EECON2	EEPROM Control Register2 (not a physical register)								---- ----	41
18Eh	—	Reserved maintain clear								0000 0000	—
18Fh	—	Reserved maintain clear								0000 0000	—

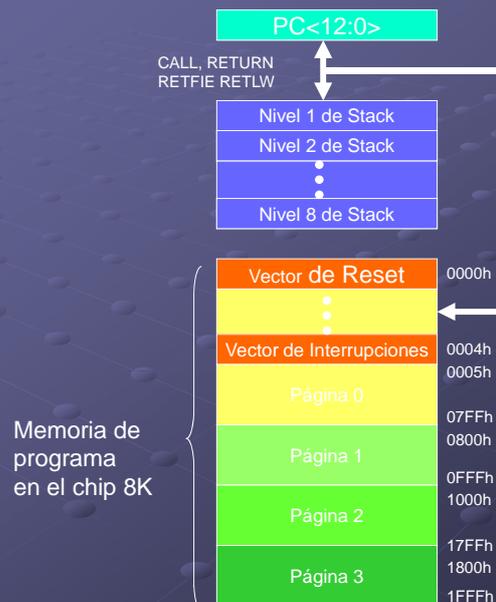


# PCL y PCLATH

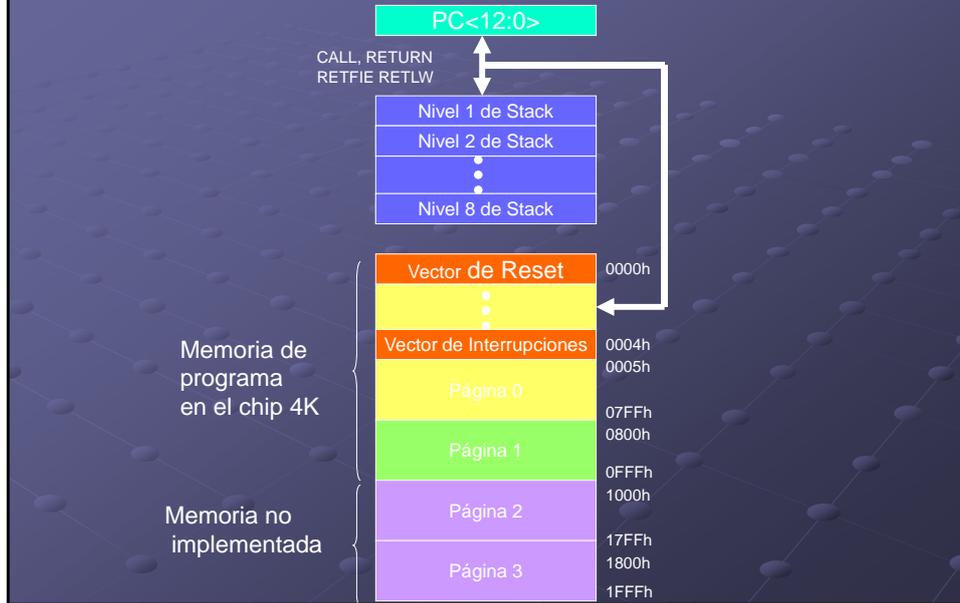


- Las instrucciones **CALL** y **GOTO** solo proporcionan 11 bits de la dirección a saltar. Esto limita el salto dentro de cada banco a 2K.
- Cuando se desea cambiar del banco hay que programar correctamente los bits **PCLATH<4:3>** que seleccionan el banco.
- Es labor del programador modificar estos bits en las instrucciones **CALL** y **GOTO**.

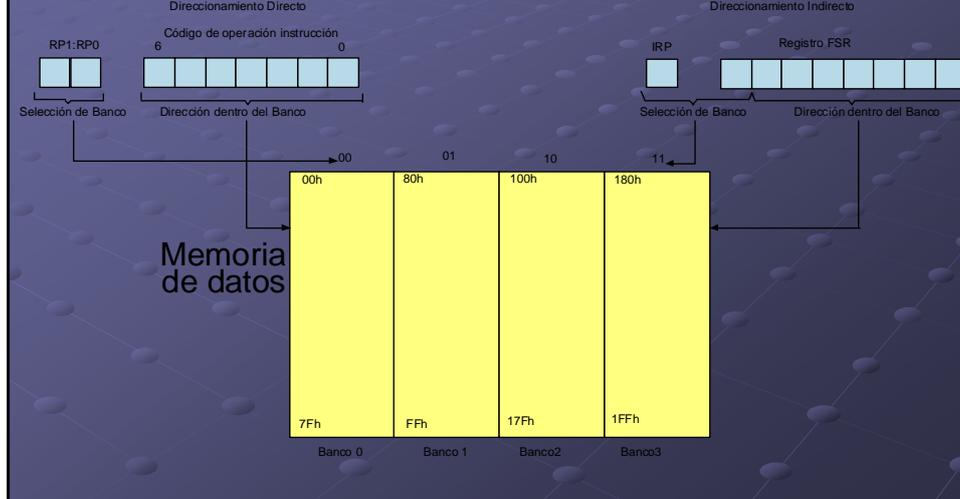
# Mapa de memoria PIC16F86/77



# Mapa de memoria PIC16F83/78



# Direccionamiento Directo e Indirecto



## Registro de Status (03h,83h,103h,183h)

| R/W 0 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| IRP   | RP1   | PR0   | #T0   | #PD   | Z     | DC    | C     |
| bit7  |       |       |       |       |       |       | bit 0 |

### IRP: Selección de bancos para el direccionamiento indirecto

1: Bancos 2 y 3 (100-1FFh)

0: Bancos 0 y 1 (00-FFh)

### RP<1:0>: Selección del banco para el direccionamiento directo

00 Banco 0 (00-7Fh)

01 Banco 1 (80-FFh)

10 Banco 2 (100-17Fh)

11 Banco 3 (180-1FFh)

## Registro de Status (03h,83h,103h,183h)

| R/W 0 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| IRP   | RP1   | PR0   | #T0   | #PD   | Z     | DC    | C     |
| bit7  |       |       |       |       |       |       | bit 0 |

### #PD : Power Down

1: Tras conectar VDD o al ejecutar la instrucción CLRWDT

0: Al ejecutar la instrucción SLEEP

### #TO: Timer Out

1: Tras conectar VDD o ejecutar CLRWDT o SLEEP

0 :Al desbordar el temporizador de WDT

## Registro de Status (03h,83h,103h,183h)

R/W 0							
IRP	RP1	PR0	#T0	#PD	Z	DC	C
bit7							bit 0

### C : Señalizador de acarreo en el octavo bit

1: Acarreo en la suma y no en la resta

0: Acarreo en la resta y no en la suma

Este bit también se utiliza en las instrucciones de rotación

### DC: Señalizador de acarreo en el 4º bit de menos peso.

1: Acarreo en la suma

0 : No acarreo en la suma

En la resta lo contrario

### Z: Señalizador de cero

- 1: el resultado de la última operación aritmética o lógica es cero

- 0: El resultado de la última operación es distinto de cero

## Comprobación de que un registro es mayor o menor que otro

Operación A-B	Resultado	Bits de Carry y Zero
A>B	Positivo	C=1 y Z=0
A<B	Negativo	C=0 y Z=0
A=B	Cero	C=1 y Z=1

```
Movlw Dato_B ;Dato_B → W
```

```
Sublw Dato_A ;DatoA - W → W
```

o

```
Movlw Dato_B ;Dato_B → W
```

```
Subwf Dato_A,W ;Dato_A-W → W
```

## Registro OPTION\_REG (81h,181h)

R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1
<b>RBPU</b>	<b>INTED</b>	T0SC	T0SE	PSA	PS2	PS1	PS0
bit7							bit 0

### **RBPU# : Resistencia Pull-up Puerto B**

- 1: Desactivadas para el PIC16F87X (para el 16C84 es al contrario)
- 0: Activadas para el PIC16F87X (para el 16C84 es al contrario)

### **INTEDG: Flanco activo control de interrupciones**

- 1: Flanco Ascendente
- 0: Flanco Descendente

## Registro OPTION\_REG (81h,181h)

R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1
RBPU	INTED	<b>T0SC</b>	<b>T0SE</b>	<b>PSA</b>	PS2	PS1	PS0
bit7							bit 0

### **T0CS: Tipo de Reloj para TMR0**

- 1: Pulsos introducidos a través de T0CK1 (Contador)
- 0: Pulsos de reloj interno Fosc/4 (Temporizador)

### **T0SE: Tipo de flanco en T0CK1**

- 1: Incremento de TMR0 cada flanco descendente
- 0: Incremento de TMR0 cada flanco ascendente

### **PSA: Asignación del divisor de frecuencia**

- 1: El divisor de frecuencia se asigna al WDT
- 0: El divisor de frecuencia se asigna al TMR0

## Registro OPTION\_REG (81h,181h)

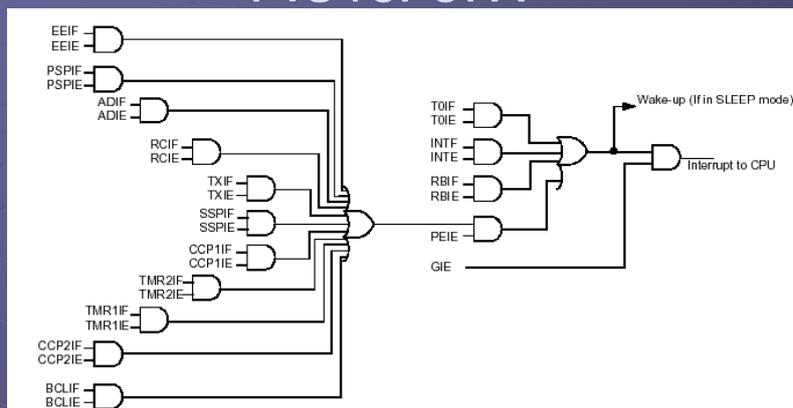
R/W -1							
RBPU	INTED	T0SC	T0SE	PSA	PS2	PS1	PS0
bit7							bit 0

**PS2:PS0: Rango con el que actúa el Divisor de frecuencia**

PS2	PS1	PS0	Divisor del TMR0	Divisor del WDT
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128



## Interrupciones en de los PIC16F87X



The following table shows which devices have which interrupts.

Device	TOIF	INTF	RBIF	PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	EEIF	BCLIF	CCP2IF
PIC16F876/873	Yes	Yes	Yes	—	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
PIC16F877/874	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes

## Registro INTCON (0Bh,8Bh,10Bh,18Bh)

R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0
<b>GIE</b>	<b>PEIE</b>	TOIE	INTE	RBIE	TOIF	INTF	RB0IF
bit7							bit 0

### **GIE: Activación Global de Interrupciones**

- 1: Concedido el permiso de interrupciones
- 0: No hay posibilidad de interrupciones

### **PEIE: Activación de Interrupciones de los periféricos que no se controlan desde INTCON**

- 1: Habilita interrupciones de los periféricos
- 0: Habilita interrupciones de los periféricos

## Registro INTCON (0Bh,8Bh,10Bh,18Bh)

R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0
GIE	PEIE	<b>TOIE</b>	<b>INTE</b>	<b>RBIE</b>	TOIF	INTF	RB0IF
bit7							bit 0

### **TOIE: Activación de la interrupción del TMR0**

- 1: Interrupción activada
- 0: Interrupción desactivada

### **INTE: Activación de la interrupción externa por RB0**

- 1: Interrupción activada
- 0: Interrupción desactivada

### **RBIE: Activación de la interrupción por cambio de estado del PortB**

- 1: Interrupción activada
- 0: Interrupción desactivada

## Registro INTCON (0Bh,8Bh,10Bh,18Bh)

R/W 0	R/W 0	R/W 0					
GIE	PEIE	T0IE	INTE	RBIE	<b>T0IF</b>	<b>INTF</b>	<b>RB0IF</b>
bit7							bit 0

### **INTF: Señalizador de estado de la interrupción externa por RB0**

1: La entrada de la interrupción se ha activado. Se borra por software

0: No hay interrupción externa

### **T0IF: Señalizador de rebosamiento del TMR0**

1: El TMR0 se ha desbordado. Se borra por software

0: El TMR0 no se ha desbordado

### **RBIF: Señalizador de cambio de estado del Port B<sup>0</sup>**

1: Cuando cambia de estado cualquier línea de PB (RB<7:4>). Se borra por software

0: Ninguna entrada de PB (RB<7:4>) ha cambiado

## Registro PIE1 (8Ch)

R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0
<b>PSPIE</b>	<b>ADIE</b>	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE
bit7							bit 0

### **PSPIE: Habilitación de interrupción por lectura o escritura del puerto paralelo esclavo (40 pines)**

1 = Habilita interrupción R/W en PSP

0 = Deshabilita interrupción R/W en PSP

### **ADIE: Habilita interrupción por fin de conversión de A/D**

1 = Habilita interrupción del **convertidor A/D**

0 = inhabilita interrupción del convertidor A/D

## Registro PIE1 (8Ch)

R/W 0	R/W 0	R/W 0					
PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE
bit7							bit 0

**RCIE:** Habilitación de interrupción cuando se llena el buffer de recepción del USART

1= Habilita interrupción por la **recepción del USAR**

0= inhabilita interrupción por la recepción del USAR

**TXIE:** Habilitación de interrupción cuando se vacía el buffer de transmisión del USAR

1= Habilita interrupción de **transmisión del USART**

0= inhabilita interrupción de transmisión del USART

## Registro PIE1 (8Ch)

R/W 0	R/W 0	R/W 0					
PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE
bit7							bit 0

**SSPIE:** Habilitación de interrupción por el puerto serie asíncrono (SSP).

1 = Habilita interrupción del **SSP**

0 = inhabilita interrupción del **SSP**

**CCP1IE:** Habilitación de interrupción del módulo CCP1 cuando se produce una captura o comparación.

1 = Habilita interrupción del **CCP1**

0 = inhabilita interrupción del **CCP1**

## Registro PIE1 (8Ch)

R/W 0	R/W 0	R/W 0					
PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE
bit7							bit 0

**TMR2IE: interrupción por TMR2 que está emparejado con PR2**

1 = Habilita interrupción por TMR2

0 = Inhibe la interrupción TMR2

**TMR1IE: interrupción por desbordamiento del TMR1**

1 = Habilita interrupción por desbordamiento del TMR1

0 = Inhabilita interrupción por desbordamiento del TMR1



## Registro PIR1 (0Ch)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF
bit7							bit 0

**PSPIF: Flag de lectura/escritura en el Puerto Paralelo Esclavo**

1 = Se ha realizado una operación de lectura o escritura en el puerto PSP

0 = no se ha realizado sobre el puerto PSP

**ADIF: Flag de fin de conversión del convertidor A/D**

1 = El convertidor A/D ha finalizado la conversión

0 = El convertidor A/D no ha realizado o no ha finalizado la conversión

## Registro PIR1 (0Ch)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF
bit7							bit 0

### RCIF: Flag de recepción por el USART

1= El buffer de datos recibidos por el USART está lleno

0= El buffer de datos recibidos por el USART no está lleno

### TXIF: Flag de transmisión el USART

1= El buffer de datos a transmitir está vacío

0= El buffer de daos a transmitir no está lleno

## Registro PIR1 (0Ch)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF
bit7							bit 0

### SSPIF: Flag de interrupción del Puerto Serie Síncrono (SSP)

#### En Modo SPI

Ha tenido lugar una Transmisión/Recepción

#### En Modo I2C Slave

Ha tenido lugar una Transmisión/Recepción

#### En Modo I2C Master

Ha tenido lugar una Transmisión / Recepción

La condición de salida iniciada se completó por el módulo de SSP.

La condición de parada inicio se completó por el módulo de SSP.

La condición de reinicialización se completo por el módulo SSP

Una condición de la salida se ha realizado mientras el módulo de SSP estaba en estado de espera (sistema de Multimaster).

## Registro PIR1 (0Ch)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF
bit7							bit 0

**CCP1IF:** Flag del módulo CCP1

**Modo Captura:** 1=Se ha producido una captura de TMR1

**Modo Comparación:** 1= Se ha realizado una comparación de TMR1

**TMR2IF:** Flag de interrupción si TMR2 coincide con PR2

1 = Si TMR2 coincide con PR2

0 = no se produce coincidencia entre TMR2 y PR2

**TMR1IF:** Flag de desbordamiento del TMR1

1 = desbordamiento del TMR1, debe ponerse a "0" por software

0 = no se ha producido desbordamiento del TMR1



## Registro PIE2 (8Dh)

U-0	R/W 0	U-0	R/W-0	R/W-0	U-0	U-0	R/W 0
--	Reservado	--	EEIE	BCLIE	--	--	CCP2IE
bit7							bit 0

**EEIE :** Habilita la interrupción por escritura en la E2PROM de usuario

1 = Habilita la interrupción por escritura en la E2PROM de usuario

0 = Deshabilita la interrupción por escritura en la E2PROM de usuario

**BCLIE :** Habilita la interrupción por colisión en el bus SSP cuando dos o más maestros intentan transferir al mismo tiempo.

1 = Habilita la interrupción por colisión de bus SSP

0 = Deshabilita interrupción por colisión de bus SSP

**CCP2IE:** Habilita interrupción del módulo CCP2

1 = Habilita interrupción por CCP2

0 = Deshabilita interrupción por CCP2

## Registro PIR2 (0Dh)

U-0	R/W 0	U-0	R/W-0	R/W-0	U-0	U-0	R/W 0
--	Reservado	--	<b>EEIF</b>	<b>BCLIF</b>	--	--	<b>CCP2IF</b>
bit7							bit 0

**EEIF** : bit que indica si se ha producido una escritura en la E2PROM de usuario

1 = Se ha completado la escritura en la E2PROM de usuario

0 = no se ha producido escritura en la E2PROM de usuario

**BCLIF**: Flag que indica la colisión en el bus SSP

1 = Se ha producido una colisión de bus SSP

0 = No se ha producido colisión en el bus SSP

**CCPIF**: Flag de interrupción del módulo CCP2

Modo Captura: 1= Se ha producido una captura de TMR1

Modo Comparación: 1= Se ha realizado una comparación de TMR1

## Registro PCON (8Eh)

U-0	U-0	U-0	U-0	R/W 0	U-0	R/W 0	R/W 0
--	--	--	--	--	--	<b>#POR</b>	<b>#BOR</b>
bit7							bit 0

**#POR**: Bit de estado Power-on Reset

1= No se ha producido un Power-on Reset

0 = Se ha producido un Power-on Reset

**#BOR** bit de estado Brown-out Reset

1= No se ha producido ningún Brown-out Reset

0 = Se ha producido ningún Brown-out Reset