

EL BUS I2C

CARACTERISTICAS

Fernando Remiro

EL BUS I2C

CARACTERÍSTICAS

- Utiliza 2 líneas para transportar la información entre los distintos periféricos conectados al bus
 - SDA (datos)
 - SCL (reloj)
- Cada dispositivo se identifica por una única dirección y puede transmitir o recibir dependiendo de la operación que vaya a realizar

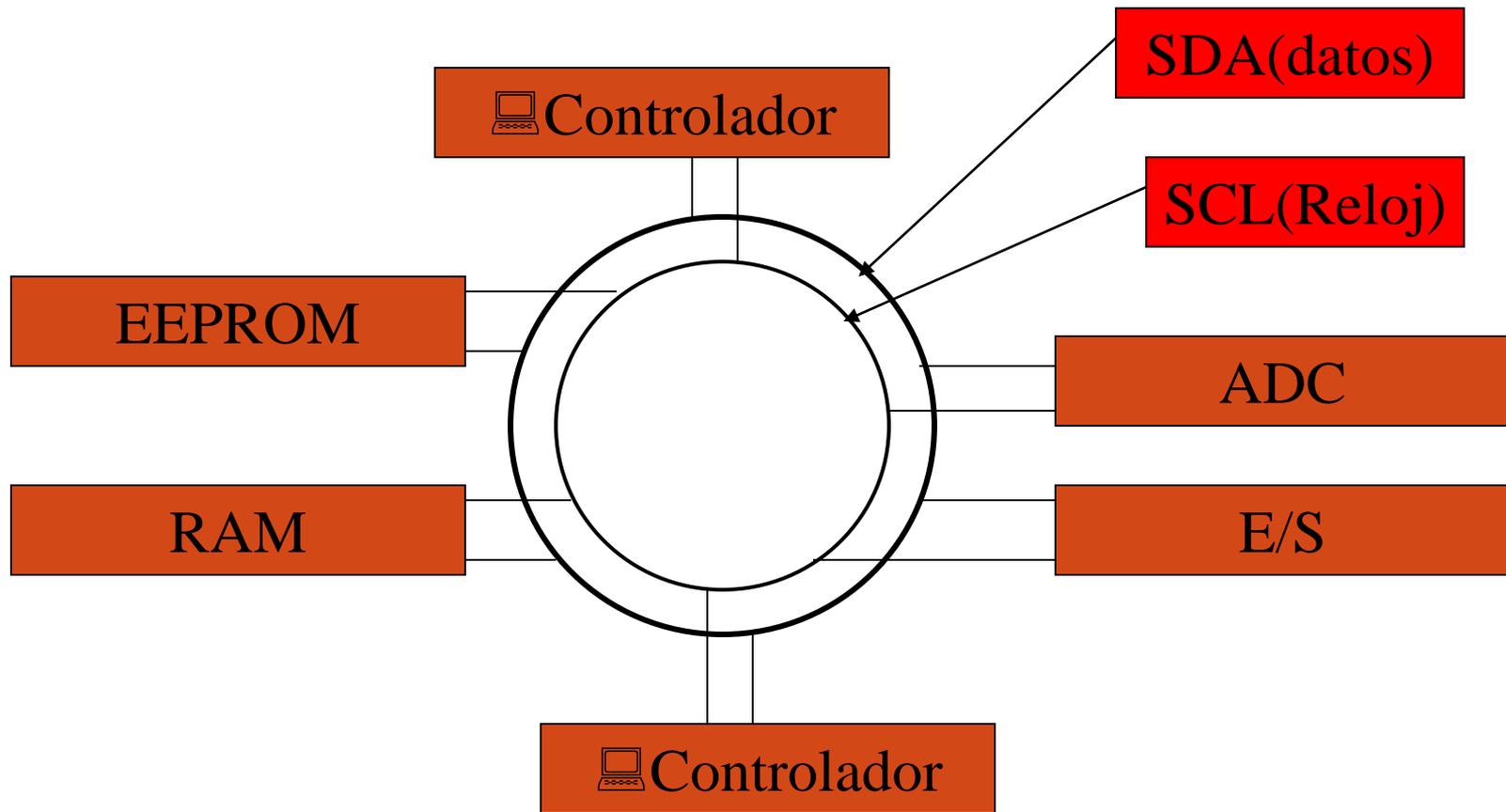
EL BUS I2C

CARACTERÍSTICAS

- Los dispositivos pueden ser:
 - Master (principal)
 - Slave (Secundario)
- El master es el que indica la transferencia de datos y genera la señal de reloj (SCL)
- Cualquiera de los dispositivos direccionado por un **Master** se considera **Slave**.
- El bus I2C es un bus multimaster, es decir puede haber mas de un Master conectado y controlando el bus. Normalmente un  procesador o  controlador

EL BUS I2C

CARACTERÍSTICAS



EL BUS I2C

CARACTERÍSTICAS

- Dada la posibilidad de que varios Master puedan inicializar la transmisión al mismo tiempo, se dispone de un sistema de **arbitraje del bus**, que consiste en una conexión tipo **AND** entre todos los dispositivos conectados al bus.

EL BUS I2C

TERMINOLOGÍA

- **TRANSMISOR** : Dispositivo que coloca información en la línea **SDA** (datos).
- **RECEPTOR** : Dispositivo que recibe información por la línea **SDA**.
- **MASTER** :Dispositivo que inicia la transferencia, genera la señal de reloj y finaliza la transferencia.
- **SLAVE** :Dispositivo seleccionado por el MASTER.

EL BUS I2C

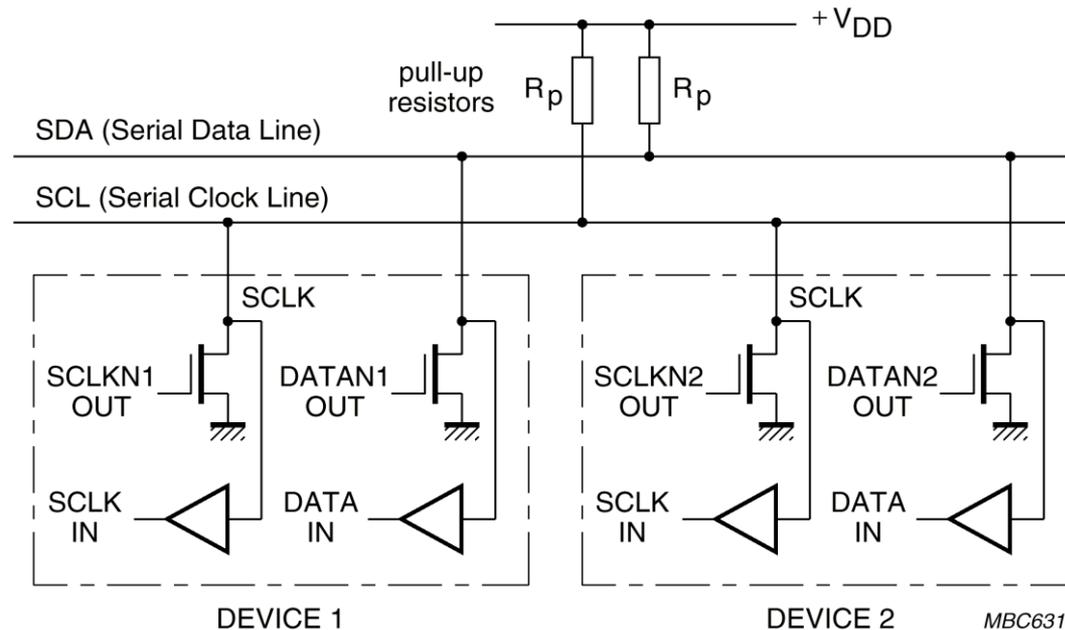
TERMINOLOGÍA

- **MULTI-MASTER** : Cuando más de un MASTER puede hacerse con el control del bus sin corromper la información.
- **ARBITRAJE** : Procedimiento que garantiza que, si más de un MASTER accede simultáneamente al bus, únicamente uno de ellos se hace cargo del mismo con objeto de no alterar la información
- **SINCRONIZACIÓN** : Procedimiento para sincronizar la señal de reloj en un mismo MULTI-MASTER.

EL BUS I2C

CARACTERÍSTICAS GENERALES

- Tanto las líneas SDA como SCL son líneas bidireccionales que se conectan a +V_{DD} mediante resistencias de carga pull-up
- Cuando el bus está libre ambas líneas están a “1”.
- Los transistores de salida conectados al bus I2C deben ser colector abierto para que todos ellos se puedan conectar entre sí formando una conexión tipo AND



EL BUS I2C

CARACTERÍSTICAS GENERALES

- Los bits sobre el bus podían transmitirse originalmente a una velocidad de 100Kbits/s. Pero a lo largo del tiempo ha ido aumentando

Nombre del modo de trabajo	Velocidad de reloj del bus (SCL)	Velocidad máxima posible de transferencia de datos del bus I2C
Estándar (Standard mode)	100 kHz	100 Kbps
Rápido (Fast mode)	400 kHz	400 Kbps
Rápido+ (Fast mode plus)	1 MHz	1 Mbps
Alta velocidad (High speed mode)	3,4 MHz	3,4 Mbps

EL BUS I2C

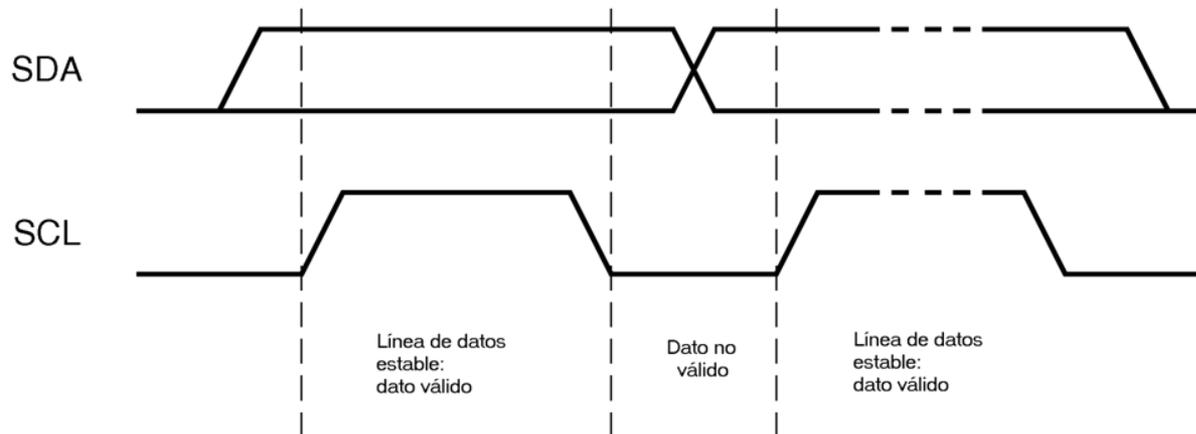
CARACTERÍSTICAS GENERALES

- La capacidad máxima en el bus es de 400pF y el número de dispositivos conectados no debe superarla.
- Debido a la variedad de tecnologías los niveles lógicos “0” y “1” no tienen una tensión fija, dependen de la tensión +Vdd.
- Cada bit que se transfiere por la línea SDA debe ir acompañado de un pulso de reloj por la línea SCL.

EL BUS I2C

TRANSFERENCIA DEL BIT

- **Valided del bit** : Un bit de datos transferido por la línea SDA debe mantenerse estable durante el período en que la señal de reloj está a nivel “1”. La línea de datos SDA sólo puede cambiar de estado durante el período en que la señal de reloj está a “0”.

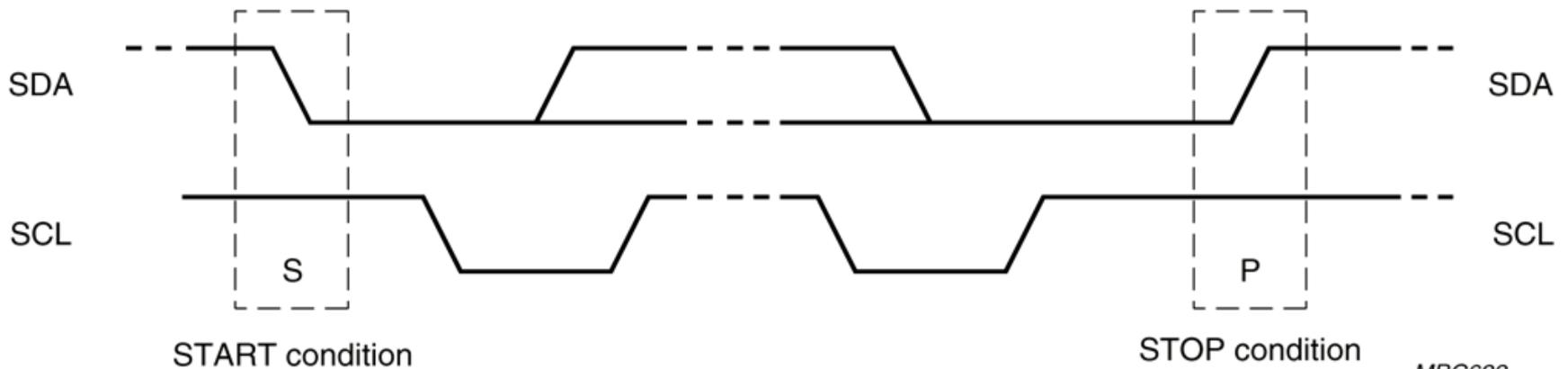


EL BUS I2C

TRANSFERENCIA DEL BIT

- **Condiciones de Inicio (START) y parada (STOP):**

- Una transición de “1” a “0” (flanco descendente) en la línea **SDA** al tiempo que **SCL** está a “1”, determina la condición de **START**.
- Una transición de “0” a “1” (flanco ascendente) en la líneas **SDA** al tiempo que **SCL** permanece a “1” determina la condición de **STOP**.



EL BUS I2C

TRANSFIRIENDO DATOS

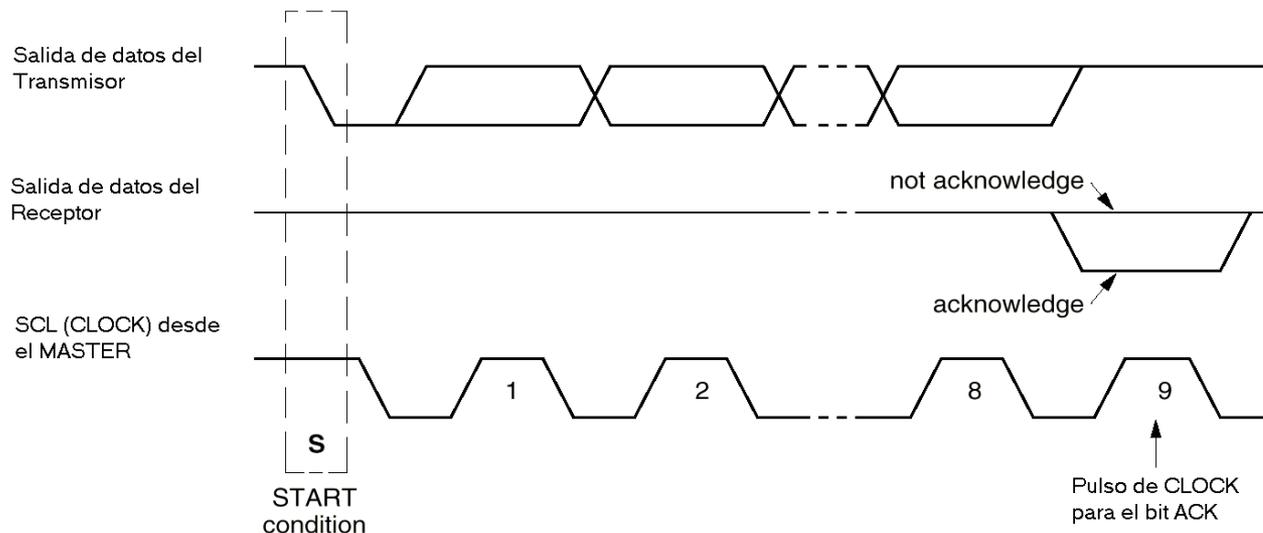
- **Formato de byte:**
 - Entre un byte y el siguiente puede haber un tiempo “t” de espera que puede utilizarse por ejemplo para dar servicio a una interrupción. En este caso se fuerza la línea SCL a “0” para forzar al transmisor a un estado de espera.
 - Un mensaje puede finalizar por una condición de STOP durante la transferencia de un byte. En este caso no hace falta generar el bit ACK

EL BUS I2C

TRANSFIRIENDO DATOS

- **Reconocimiento:**

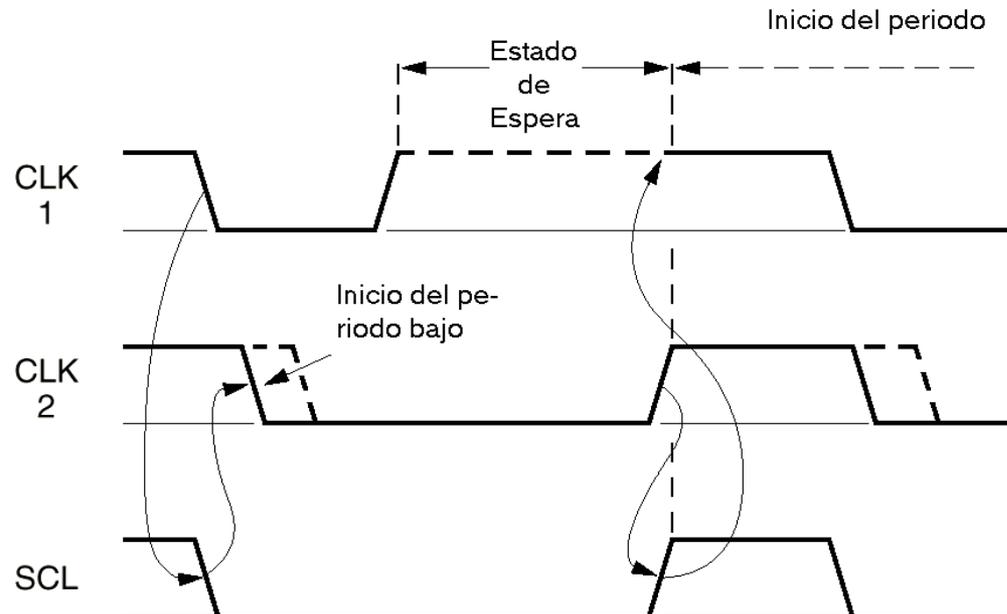
- El bit de reconocimiento **ACK** es obligatorio en la transferencia de cada byte. El pulso de reloj asociado a este bit (9º) lo genera el MASTER. El transmisor pone la línea SDA a “1” durante dicho pulso de reloj.
- El receptor por su parte pone a “0” la línea **SDA** durante el pulso de reloj correspondiente al **ACK** y lo mantiene estable durante todo el periodo de dicho pulso. En la línea de salida prevalecerá por tanto un “0”.



EL BUS I2C

SINCRONIZACIÓN DEL RELOJ

- Todos los MASTER generan una señal de reloj sobre la línea SCL para transferir mensajes sobre el bus I2C. Los bits de información son válidos cuando dicha señal de reloj está a nivel “1”.
- La sincronización del reloj se realiza mediante una conexión tipo AND de todos los MASTER existentes en el bus.



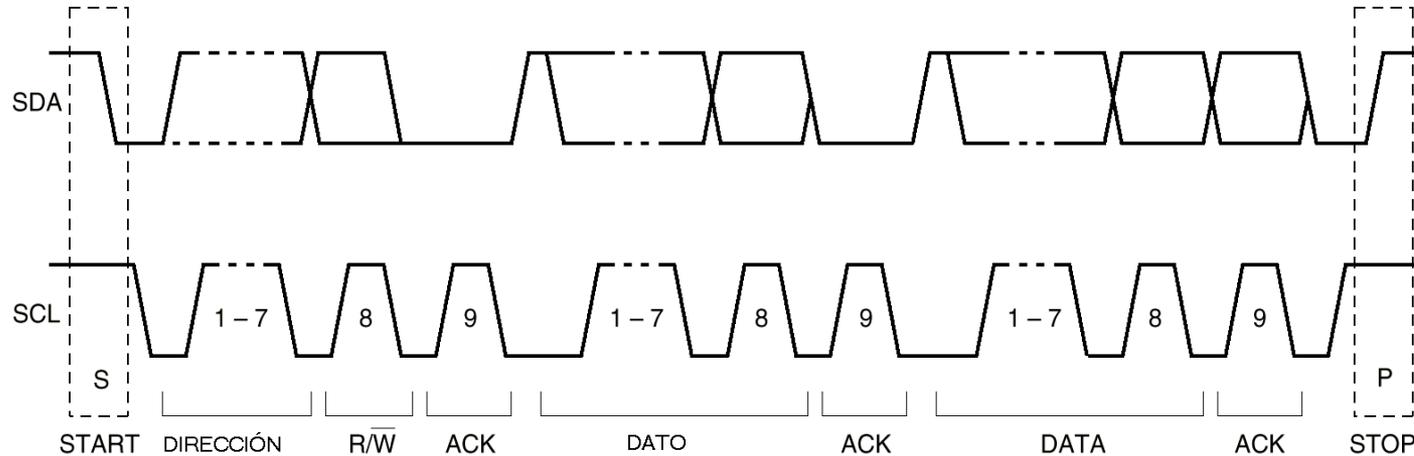
EL BUS I2C

SINCRONIZACIÓN DEL RELOJ

- Si el MASTER 1 genera un flanco de bajada en CLK1, la línea SCL pasa a “0”. Todos los dispositivos comienzan a temporizar sus respectivos períodos bajos de reloj.
- Un flanco ascendente en CLK1 no cambia el estado de SCL ya que en ese instante CLK2 pasa a “0”.
- La línea SCL se mantiene a “0” durante el periodo de aquel dispositivo cuyo nivel “0” sea más largo. El resto de dispositivos entran en estado de espera.
- Cuando todos los dispositivos finalizan su periodo bajo, SCL pasa a “1”. De esta forma todos inician el período alto al mismo tiempo. El primer dispositivo en finalizar este periodo alto, pone SCL a “0” y el proceso se repite.

EL BUS I2C

FORMATO



- Tras la condición de STAR, el MASTER envía la dirección del SLAVE al que se quiere dirigir. Esta dirección es de 7 bits más el bit R/W que indica lectura (R/W=1) o escritura (R/W=0) del SLAVE.
- Toda transferencia de datos finaliza con la condición de STOP también generada por el MASTER.
- A pesar de todo, si el MASTER aún desea comunicar por el bus, puede generar otra condición de STAR y direccionar a otro SLAVE sin generar previamente la condición de STOP

EL BUS I2C

FORMATO de TRANSFERENCIA

- El MASTER transmite al SLAVE receptor. No cambia el byte de dirección

S	DIRECCIÓN DEL SLAVE	R/W=0	A	DATO	A	DATO	A/A	P
	Escritura			Datos transferidos				
	Del Master al Slave		A		S	Condición de START		
	Del Slave al Master		/A		P	Condición de STOP		

EL BUS I2C

FORMATO de TRANSFERENCIA

- El MASTER recibe desde el SLAVE después de enviar a éste la dirección

S	DIRECCIÓN DEL SLAVE	R/W=1	A	DATO	A	DATO	A/A	P
		Lectura		Datos transferidos				
	Del Master al Slave		A		S	Condición de START		
	Del Slave al Master		/A		P	Condición de STOP		

➡ Después del primer ACK enviado por el SLAVE el MASTER transmisor se convierte en receptor y el SLAVE receptor en transmisor

EL BUS I2C

DIRECCIONAMIENTO

- El proceso de direccionamiento del bus I2C consiste en que el primer byte que envía el MASTER tras la condición de START es un código que determina y selecciona a un determinado SLAVE.
- Existe una excepción en el código denominada **Llamada General** (código 0000 000), todos los SLAVES responden con el bit ACK.
- Puede darse el caso de que de dispositivos que ignoren esta llamada.
- El siguiente byte tras la misma indicará la operación a realizar.

EL BUS I2C

Direccionamiento: Definición del primer byte

- Los 7 bit de más peso del primer byte se utilizan para direccionar a un determinado SLAVE. El de menos peso, el octavo, determina si se realizará una operación de lectura o de escritura (R/W) sobre el SLAVE direccionado.

	MSB	LSB
S	Dirección de Slave	R/W

- ☞ Cuando el MASTER envía una dirección por el bus, todos los SLAVE conectados la comparan con la suya propia interna. Aquel que coincida se considerará seleccionado por el MASTER

EL BUS I2C

Direccionamiento: Definición del primer byte

- De los 7 bits que forman una dirección hay una parte que son fijos y ya están definidos por el propio dispositivo SLAVE y otra parte, que son programables. De esta forma es posible conectar al mismo bus dispositivos idénticos cuya parte fija de dirección es la misma pero la programable es diferente.
- El número de dispositivos iguales que se pueden instalar a un mismo bus depende del número de bits programables disponibles.
- El comité I2C coordina las direcciones asignadas a los diferentes dispositivos.

EL BUS I2C

Direccionamiento: Definición del primer byte

- La dirección 1111 111 está reservada como extensión de dirección en el que el proceso de direccionamiento de un dispositivo continua en los siguientes bytes transferidos por el MASTER.
- La dirección 1111 XXX está reservada con el propósito de direccionamientos extendidos y la emplean ciertos dispositivos que tienen 10 bits de direccionamiento.
- La dirección 0000 XXX está reservada para un grupo especial de dispositivos

EL BUS I2C

Direccionamiento: Definición del primer byte

- La dirección 0000 XXX está reservada para un grupo especial de dispositivos

DIRECCIÓN	R/W	FUNCIÓN
0000 000	0	Dirección de llamada general (1)
0000 000	1	Byte de Inicio (2)
0000 001	X	Dirección CBUS (3)
0000 010	X	Reservada para un formato diferente (4)
0000 011	X	No definida
0000 100	X	No definida
0000 101	X	No definida
0000 110	X	No definida
0000 111	X	No definida

(1) Para aquellos dispositivos que la admitan o la necesiten

(2) No está permitido el bit ACK tras la recepción del byte. Empleado por ciertos dispositivos

(3) La dirección CBUS está reservada para permitir la combinación de dispositivos I2C y CBUS en un mismo sistema. Los dispositivos I2C no corresponden a esta dirección.

(4) Esta dirección está reservada par combinar el formato I2C con otros protocolos.