

# LOS PIC16F88X: Registros de propósito específico SFR

IES Juan de la Cierva



Aprendizaje de la Electrónica a través de la Robótica

# Mapa de registros PIC16F883 y 16F884

File		File		File		File	
Address		Address		Address		Address	
Indirect addr. <sup>(1)</sup>	00h	Indirect addr. <sup>(1)</sup>	80h	Indirect addr. <sup>(1)</sup>	100h	Indirect addr. <sup>(1)</sup>	180h
TMR0	01h	OPTION_REG	81h	TMR0	101h	OPTION_REG	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h	WDTCON	105h	SRCON	185h
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h
PORTC	07h	TRISC	87h	CM1CON0	107h	BAUDCTL	187h
PORTD <sup>(2)</sup>	08h	TRISD <sup>(2)</sup>	88h	CM2CON0	108h	ANSEL	188h
PORTE	09h	TRISE	89h	CM2CON1	109h	ANSELH	189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR1	0Ch	PIE1	8Ch	EEDAT	10Ch	EECON1	18Ch
PIR2	0Dh	PIE2	8Dh	EEADR	10Dh	EECON2 <sup>(1)</sup>	18Dh
TMR1L	0Eh	PCON	8Eh	EEDATH	10Eh	Reserved	18Eh
TMR1H	0Fh	OSCCON	8Fh	EEADRH	10Fh	Reserved	18Fh
T1CON	10h	OSCTUNE	90h		110h		190h
TMR2	11h	SSPCON2	91h		111h		191h
T2CON	12h	PR2	92h		112h		192h
SSPBUF	13h	SSPADD	93h		113h		193h
SSPCON	14h	SSPSTAT	94h		114h		194h
CCPR1L	15h	WPUB	95h		115h		195h
CCPR1H	16h	IOCB	96h		116h		196h
CCP1CON	17h	VRCON	97h		117h		197h
RCSTA	18h	TXSTA	98h		118h		198h
TXREG	19h	SPBRG	99h		119h		199h
RCREG	1Ah	SPBRGH	9Ah		11Ah		19Ah
CCPR2L	1Bh	PWM1CON	9Bh		11Bh		19Bh
CCPR2H	1Ch	ECCPAS	9Ch		11Ch		19Ch
CCP2CON	1Dh	PSTRCON	9Dh		11Dh		19Dh
ADRESH	1Eh	ADRESL	9Eh		11Eh		19Eh
ADCON0	1Fh	ADCON1	9Fh		11Fh		19Fh
	20h		A0h		120h		1A0h
General Purpose Registers		General Purpose Registers		General Purpose Registers		General Purpose Registers	
96 Bytes		80 Bytes		80 Bytes		80 Bytes	
		accesses		accesses		accesses	
	7Fh	70h-7Fh		70h-7Fh		70h-7Fh	
Bank 0		Bank 1		Bank 2		Bank 3	
			EFh		16Fh		1EFh
			F0h		170h		1F0h
			FFh		17Fh		1FFh

■ Unimplemented data memory locations, read as '0'.

**Note 1:** Not a physical register.

**2:** PIC16F884 only.

# Mapa de registros PIC16F886 y PIC16F887

File Address		File Address		File Address		File Address	
Indirect addr. <sup>(1)</sup>	00h	Indirect addr. <sup>(1)</sup>	80h	Indirect addr. <sup>(1)</sup>	100h	Indirect addr. <sup>(1)</sup>	180h
TMR0	01h	OPTION_REG	81h	TMR0	101h	OPTION_REG	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h	WDTCON	105h	SRCON	185h
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h
PORTC	07h	TRISC	87h	CM1CON0	107h	BAUDCTL	187h
PORTD <sup>(2)</sup>	08h	TRISD <sup>(2)</sup>	88h	CM2CON0	108h	ANSEL	188h
PORTE	09h	TRISE	89h	CM2CON1	109h	ANSELH	189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR1	0Ch	PIE1	8Ch	EEDAT	10Ch	EECON1	18Ch
PIR2	0Dh	PIE2	8Dh	EEADR	10Dh	EECON2 <sup>(1)</sup>	18Dh
TMR1L	0Eh	PCON	8Eh	EEDATH	10Eh	Reserved	18Eh
TMR1H	0Fh	OSCCON	8Fh	EEADRH	10Fh	Reserved	18Fh
T1CON	10h	OSCTUNE	90h	General Purpose Registers 16 Bytes	110h	General Purpose Registers 16 Bytes	190h
TMR2	11h	SSPCON2	91h		111h		191h
T2CON	12h	PR2	92h		112h		192h
SSPBUF	13h	SSPADD	93h		113h		193h
SSPCON	14h	SSPSTAT	94h		114h		194h
CCPR1L	15h	WPUB	95h		115h		195h
CCPR1H	16h	IOCB	96h		116h		196h
CCP1CON	17h	VRCON	97h		117h		197h
RCSTA	18h	TXSTA	98h		118h		198h
TXREG	19h	SPBRG	99h		119h		199h
RCREG	1Ah	SPBRGH	9Ah		11Ah		19Ah
CCPR2L	1Bh	PWM1CON	9Bh		11Bh		19Bh
CCPR2H	1Ch	ECCPAS	9Ch		11Ch		19Ch
CCP2CON	1Dh	PSTRCON	9Dh		11Dh		19Dh
ADRESH	1Eh	ADRESL	9Eh		11Eh		19Eh
ADCON0	1Fh	ADCON1	9Fh		11Fh		19Fh
General Purpose Registers 96 Bytes	20h	General Purpose Registers 80 Bytes	A0h	General Purpose Registers 80 Bytes	120h	General Purpose Registers 80 Bytes	1A0h
	3Fh		accesses 70h-7Fh		accesses 70h-7Fh		accesses 70h-7Fh
	40h						
6Fh	EFh	16Fh	1EFh				
70h	F0h	170h	1F0h				
7Fh	FFh	17Fh	1FFh				

■ Unimplemented data memory locations, read as '0'.

**Note 1:** Not a physical register.

**2:** PIC16F887 only.

Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Page
<b>Bank 0</b>											
00h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	37,217
01h	TMR0	Timer0 Module Register								xxxx xxxx	73,217
02h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	37,217
03h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	29,217
04h	FSR	Indirect Data Memory Address Pointer								xxxx xxxx	37,217
05h	PORTA <sup>(3)</sup>	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	xxxx xxxx	39,217
06h	PORTB <sup>(3)</sup>	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	48,217
07h	PORTC <sup>(3)</sup>	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	53,217
08h	PORTD <sup>(3,4)</sup>	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	xxxx xxxx	57,217
09h	PORTE <sup>(3)</sup>	—	—	—	—	RE3	RE2 <sup>(4)</sup>	RE1 <sup>(4)</sup>	RE0 <sup>(4)</sup>	--- xxxx	59,217
0Ah	PCLATH	—	—	—	Write Buffer for upper 5 bits of Program Counter				---0 0000	37,217	
0Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF <sup>(1)</sup>	0000 000x	31,217
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	34,217
0Dh	PIR2	OSFIF	C2IF	C1IF	EEIF	BCLIF	ULPWUIF	—	CCP2IF	0000 00-0	35,217
0Eh	TMR1L	Holding Register for the Least Significant Byte of the 16-bit TMR1 Register								xxxx xxxx	76,217
0Fh	TMR1H	Holding Register for the Most Significant Byte of the 16-bit TMR1 Register								xxxx xxxx	76,217
10h	T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYN\overline{C}}$	TMR1CS	TMR1ON	0000 0000	79,217
11h	TMR2	Timer2 Module Register								0000 0000	81,217
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	82,217
13h	SSPBUF	Synchronous Serial Port Receive Buffer/Transmit Register								xxxx xxxx	183,217
14h	SSPCON <sup>(2)</sup>	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	181,217
15h	CCPR1L	Capture/Compare/PWM Register 1 Low Byte (LSB)								xxxx xxxx	126,217
16h	CCPR1H	Capture/Compare/PWM Register 1 High Byte (MSB)								xxxx xxxx	126,217
17h	CCP1CON	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	124,217
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	161,217
19h	TXREG	EUSART Transmit Data Register								0000 0000	153,217
1Ah	RCREG	EUSART Receive Data Register								0000 0000	158,217
1Bh	CCPR2L	Capture/Compare/PWM Register 2 Low Byte (LSB)								xxxx xxxx	126,217
1Ch	CCPR2H	Capture/Compare/PWM Register 2 High Byte (MSB)								xxxx xxxx	126,218
1Dh	CCP2CON	—	—	DC2B1	DC2B0	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000	125,218
1Eh	ADRESH	A/D Result Register High Byte								xxxx xxxx	99,218
1Fh	ADCON0	ADCS1	ADCS0	CHS3	CHS2	CHS1	CHS0	$\overline{GO/DONE}$	ADON	0000 0000	104,218

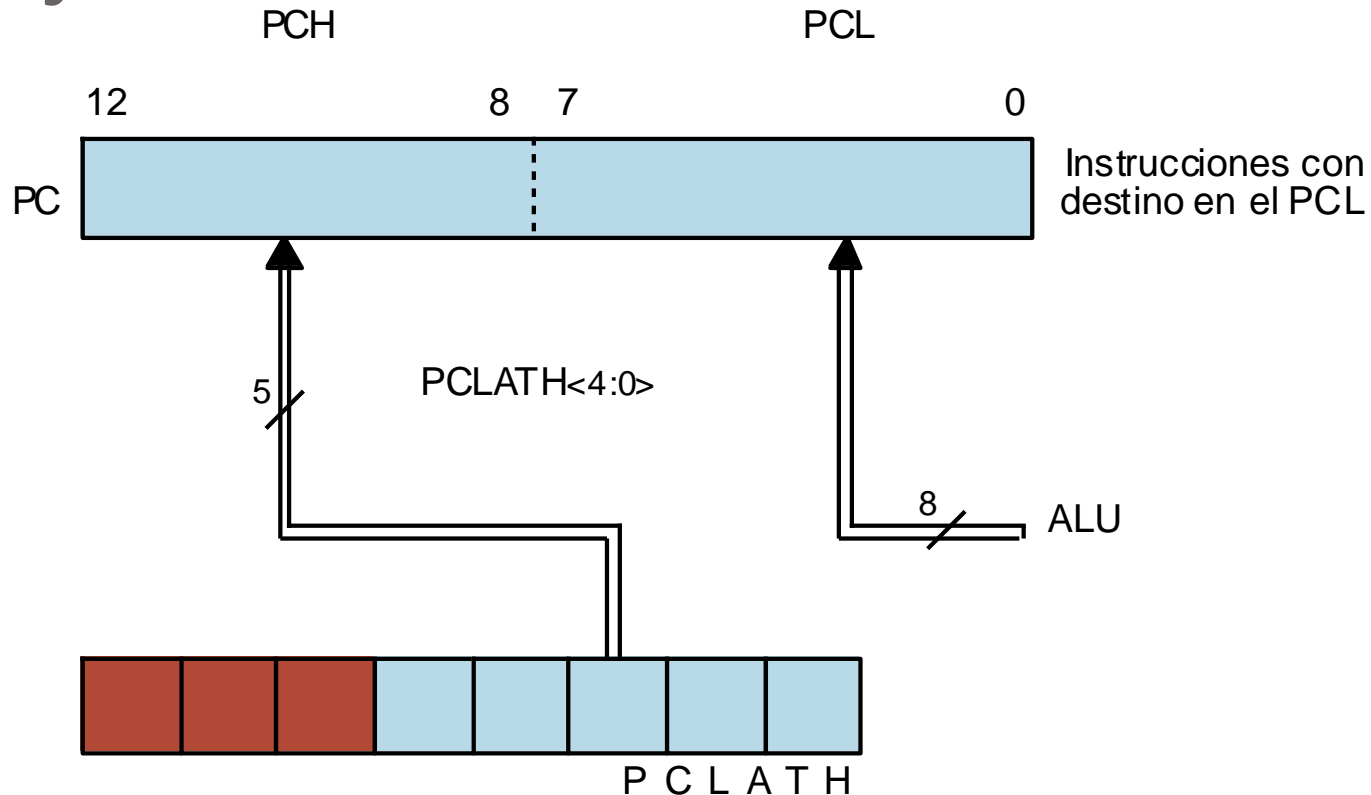
Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Page
<b>Bank 1</b>											
80h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	37,217
81h	OPTION_REG	RBP $\bar{U}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	30,218
82h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	37,217
83h	STATUS	IRP	RP1	RP0	$\bar{T}O$	$\bar{P}D$	Z	DC	C	0001 1xxx	29,217
84h	FSR	Indirect Data Memory Address Pointer								xxxx xxxx	37,217
85h	TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	1111 1111	39,218
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	48,218
87h	TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	53,218
88h	TRISD <sup>(3)</sup>	TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0	1111 1111	57,218
89h	TRISE	—	—	—	—	TRISE3	TRISE2 <sup>(3)</sup>	TRISE1 <sup>(3)</sup>	TRISE0 <sup>(3)</sup>	---- 1111	59,218
8Ah	PCLATH	—	—	—	Write Buffer for the upper 5 bits of the Program Counter				---0 0000	37,217	
8Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF <sup>(1)</sup>	0000 000x	31,217
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	32,218
8Dh	PIE2	OSFIE	C2IE	C1IE	EEIE	BCLIE	ULPWUIE	—	CCP2IE	0000 00-0	33,218
8Eh	PCON	—	—	ULPWUE	SBOREN	—	—	$\bar{P}OR$	$\bar{B}OR$	--01 --qq	36,218
8Fh	OSCCON	—	IRCF2	IRCF1	IRCF0	OSTS	HTS	LTS	SCS	-110 q000	62,218
90h	OSCTUNE	—	—	—	TUN4	TUN3	TUN2	TUN1	TUN0	---0 0000	66,218
91h	SSPCON2	GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	0000 0000	181,218
92h	PR2	Timer2 Period Register								1111 1111	81,218
93h	SSPADD <sup>(2)</sup>	Synchronous Serial Port (I <sup>2</sup> C mode) Address Register								0000 0000	189,218
93h	SSPMSK <sup>(2)</sup>	MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0	1111 1111	189,218
94h	SSPSTAT	SMP	CKE	D/ $\bar{A}$	P	S	R/ $\bar{W}$	UA	BF	0000 0000	189,218
95h	WPUB	WPUB7	WPUB6	WPUB5	WPUB4	WPUB3	WPUB2	WPUB1	WPUB0	1111 1111	49,218
96h	IOCB	IOCB7	IOCB6	IOCB5	IOCB4	IOCB3	IOCB2	IOCB1	IOCB0	0000 0000	49,218
97h	VRCON	VREN	VROE	VRR	VRSS	VR3	VR2	VR1	VR0	0000 0000	97,218
98h	TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	160,218
99h	SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	163,218
9Ah	SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	163,218
9Bh	PWM1CON	PRSEN	PDC6	PDC5	PDC4	PDC3	PDC2	PDC1	PDC0	0000 0000	145,218
9Ch	ECCPAS	ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1	PSSBD0	0000 0000	142,218
9Dh	PSTRCON	—	—	—	STRSYNC	STRD	STRC	STRB	STRA	---0 0001	146,218
9Eh	ADRESL	A/D Result Register Low Byte								xxxx xxxx	99,218
9Fh	ADCON1	ADFM	—	VCFG1	VCFG0	—	—	—	—	0-00 ----	105,218

Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Page
<b>Bank 2</b>											
100h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	37,217
101h	TMR0	Timer0 Module Register								xxxx xxxx	73,217
102h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	37,217
103h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	29,217
104h	FSR	Indirect Data Memory Address Pointer								xxxx xxxx	37,217
105h	WDTCON	—	—	—	WDTPS3	WDTPS2	WDTPS1	WDTPS0	SWDTEN	---0 1000	225,218
106h	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	48,217
107h	CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1R	C1CH1	C1CH0	0000 -000	88,218
108h	CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2R	C2CH1	C2CH0	0000 -000	89,218
109h	CM2CON1	MC1OUT	MC2OUT	C1RSEL	C2RSEL	—	—	T1GSS	C2SYNC	0000 --10	91,219
10Ah	PCLATH	—	—	—	Write Buffer for the upper 5 bits of the Program Counter				---	0000	37,217
10Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF <sup>(1)</sup>	0000 000x	31,217
10Ch	EEDAT	EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0	0000 0000	112,219
10Dh	EEADR	EEADR7	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0	0000 0000	112,219
10Eh	EEDATH	—	—	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0	--00 0000	112,219
10Fh	EEADRH	—	—	—	EEADRH4 <sup>(2)</sup>	EEADRH3	EEADRH2	EEADRH1	EEADRH0	---- 0000	112,219



Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Page
<b>Bank 3</b>											
180h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	37,217
181h	OPTION_REG	$\overline{\text{RBPU}}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	30,218
182h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	37,217
183h	STATUS	IRP	RP1	RP0	$\overline{\text{TO}}$	$\overline{\text{PD}}$	Z	DC	C	0001 1xxx	29,217
184h	FSR	Indirect Data Memory Address Pointer								xxxx xxxx	37,217
185h	SRCON	SR1	SR0	C1SEN	C2REN	PULSS	PULSR	—	FVREN	0000 00-0	93,219
186h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	48,218
187h	BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	162,219
188h	ANSEL	ANS7 <sup>(2)</sup>	ANS6 <sup>(2)</sup>	ANS5 <sup>(2)</sup>	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	40,219
189h	ANSELH	—	—	ANS13	ANS12	ANS11	ANS10	ANS9	ANS8	--11 1111	99,219
18Ah	PCLATH	—	—	—	Write Buffer for the upper 5 bits of the Program Counter					---0 0000	37,217
18Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF <sup>(1)</sup>	0000 000x	31,217
18Ch	EECON1	EEPGD	—	—	—	WRERR	WREN	WR	RD	x--- x000	113,219
18Dh	EECON2	EEPROM Control Register 2 (not a physical register)								---- ----	111,219

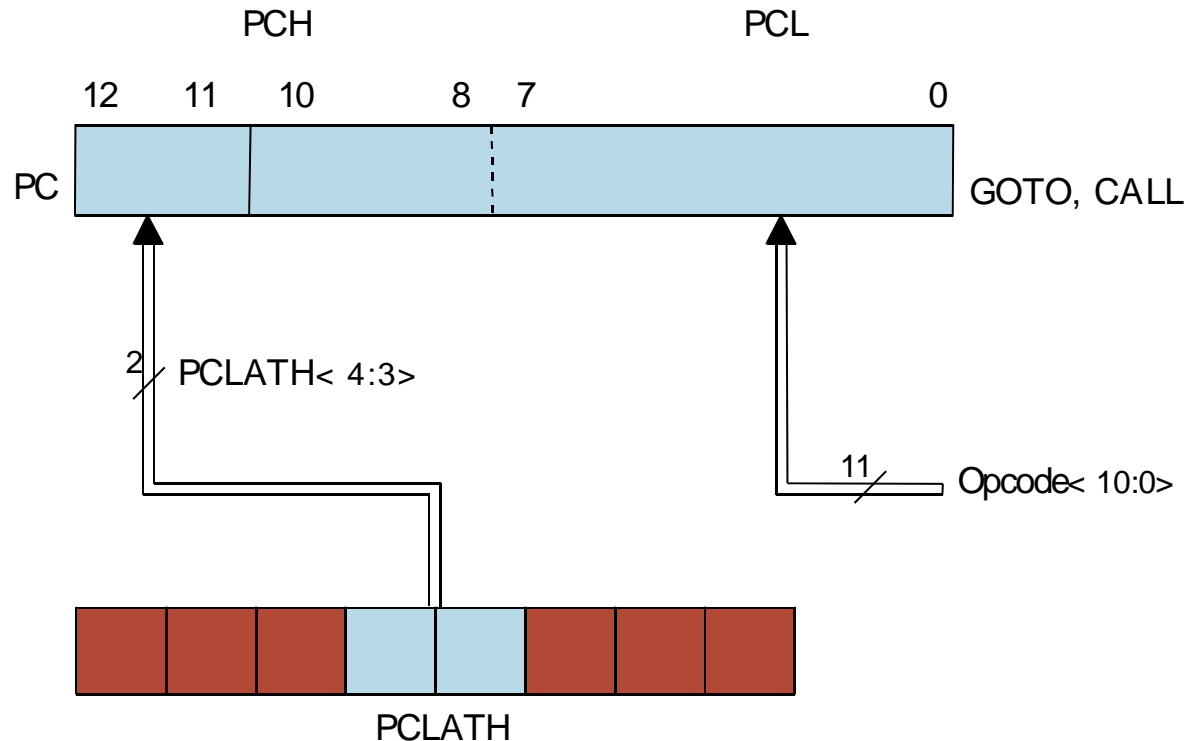
# PCL y PCLATH



- El **PC** está formado por 13 bits que direccionan la memoria de programa, estos bits se encuentran en los registros **PCL** que puede ser leído y escrito y **PCH**, al que se tiene acceso a través del registro **PCLATH**.

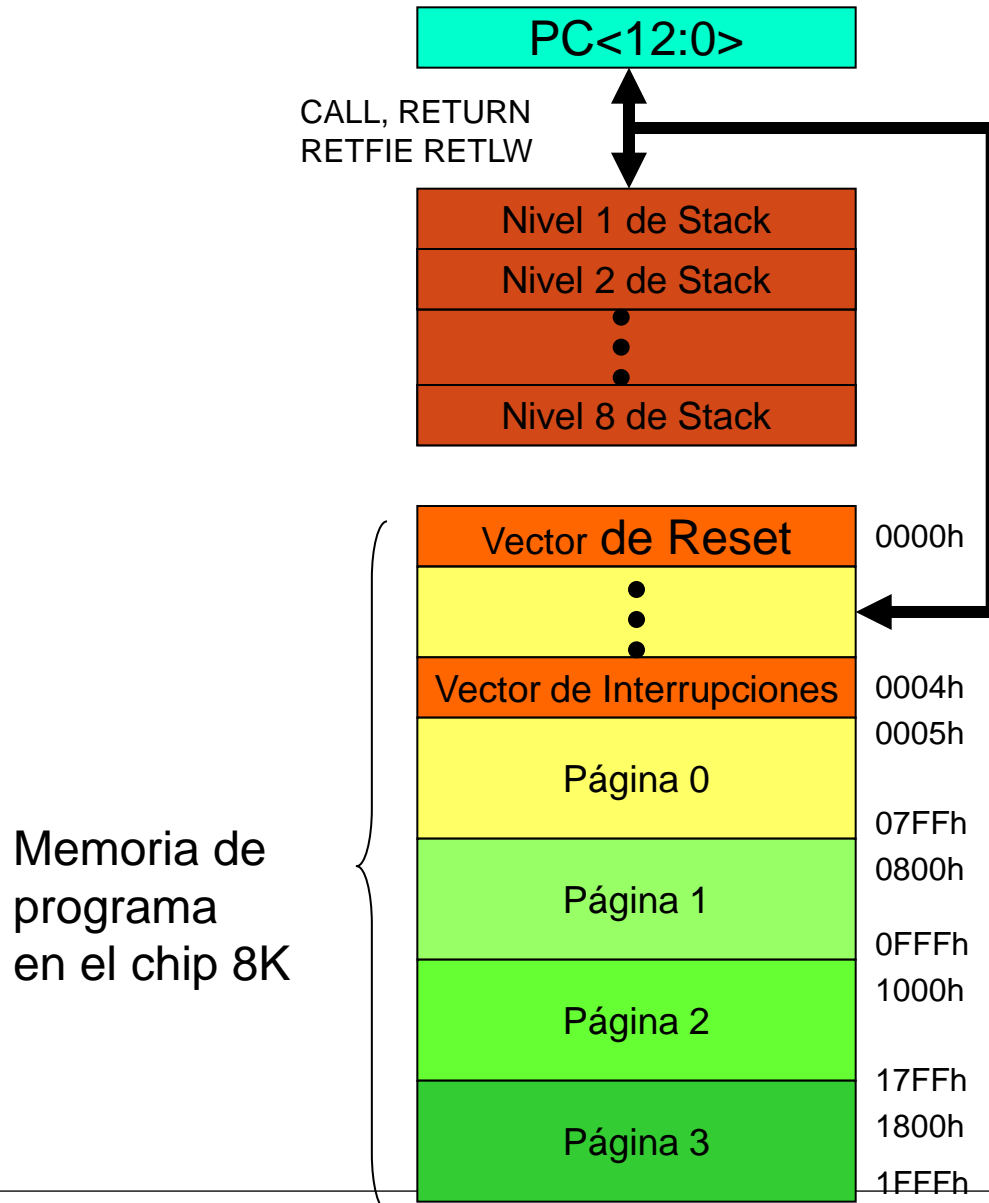


# PCL y PCLATH

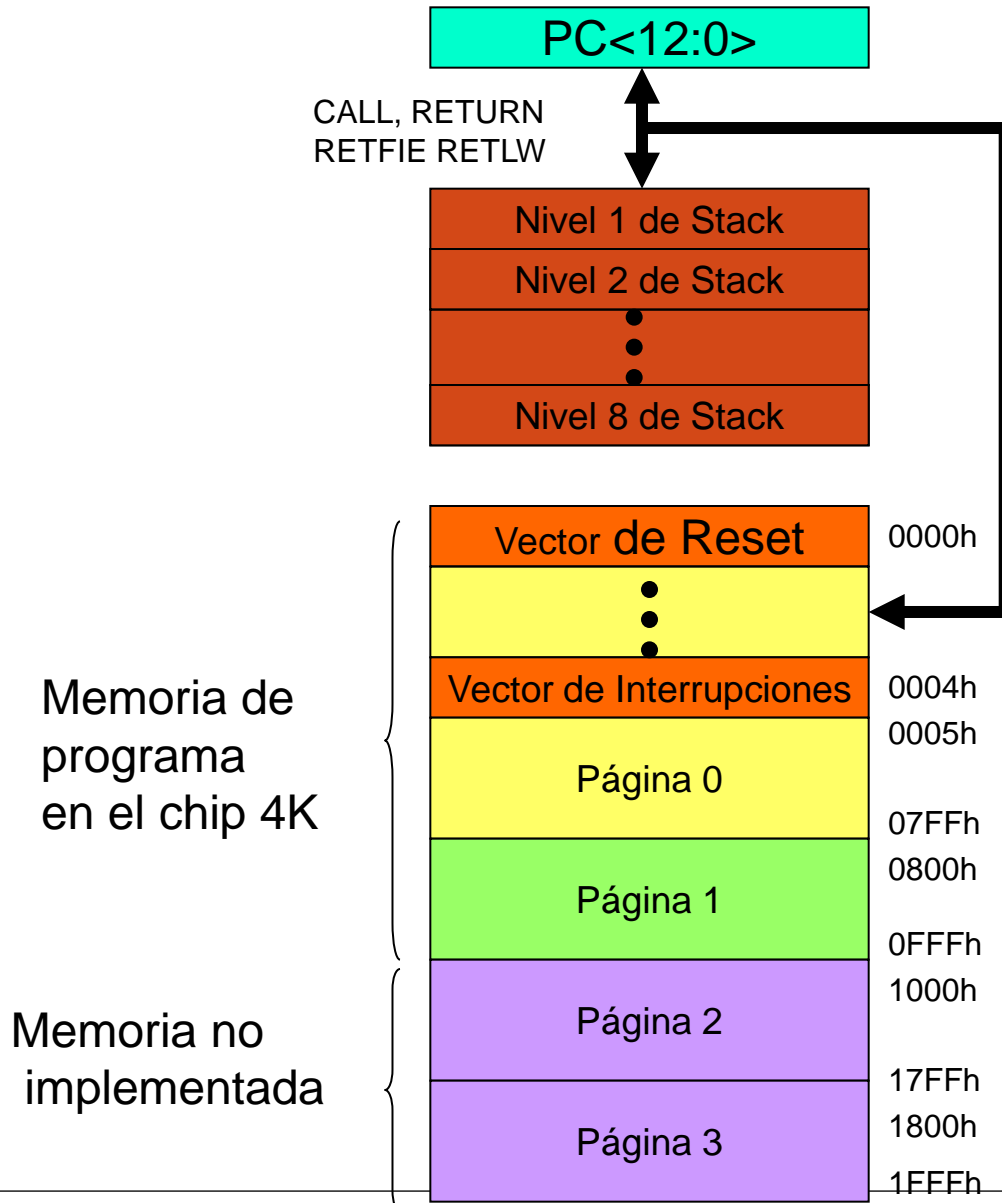


- Las instrucciones **CALL** y **GOTO** solo proporcionan 11 bits de la dirección a saltar. Esto limita el salto dentro de cada banco a 2K.
- Cuando se desea cambiar del banco hay que programar correctamente los bits **PCLATH<4:3>** que seleccionan el banco.
- Es labor del programador modificar estos bits en las instrucciones **CALL** y **GOTO**.

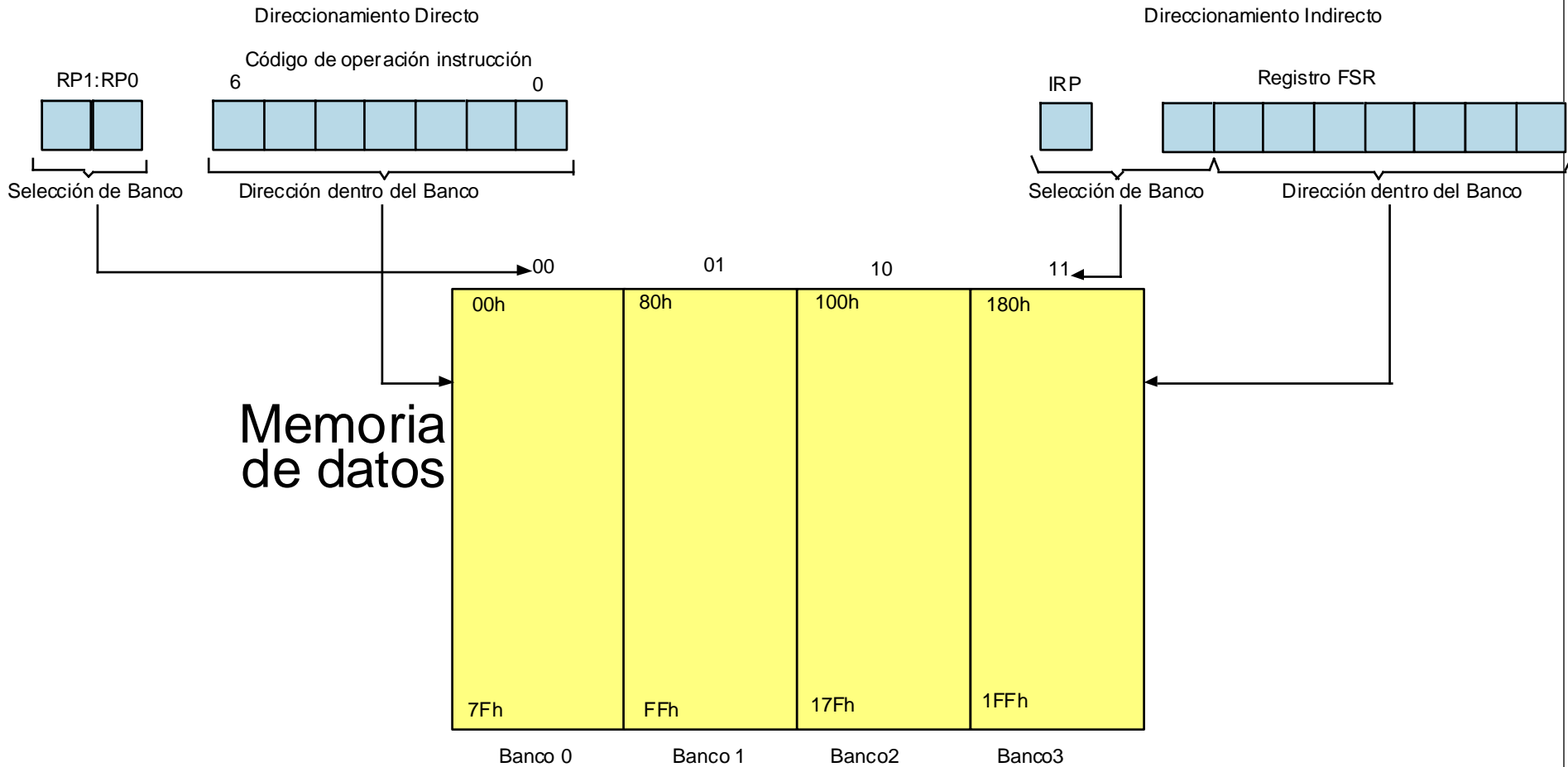
# Mapa de memoria PIC16F886/887



# Mapa de memoria PIC16F883/884



# Direccionamiento Directo e Indirecto



# Registro de Status (03h,83h,103h,183h)

R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0
<b>IRP</b>	<b>RP1</b>	<b>PR0</b>	<b>#T0</b>	<b>#PD</b>	<b>Z</b>	<b>DC</b>	<b>C</b>
bit7							bit 0

## **IRP: Selección de bancos para el direccionamiento indirecto**

1: Bancos 2 y 3 (100-1FFh)

0: Bancos 0 y 1 (00-FFh)

## **RP<1:0>: Selección del banco para el direccionamiento directo**

00 Banco 0 (00-7Fh)

01 Banco 1 (80-FFh)

10 Banco 2 (100-17Fh)

11 Banco 3 (180-1FFh)

# Registro de Status (03h,83h,103h,183h)

R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0
<b>IRP</b>	<b>RP1</b>	<b>PR0</b>	<b>#T0</b>	<b>#PD</b>	<b>Z</b>	<b>DC</b>	<b>C</b>
bit7							bit 0

## #PD : Power Down

1: Tras conectar VDD o al ejecutar la instrucción CLRWDT

0: Al ejecutar la instrucción SLEEP

## #TO:Timer Out

1: Tras conectar VDD o ejecutar CLRWDT o SLEEP

0 :Al desbordar el temporizador de WDT

# Registro de Status (03h,83h,103h,183h)

R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0
IRP	RP1	PR0	#T0	#PD	Z	DC	C
bit7							bit 0

## C : Señalizador de acarreo en el octavo bit

1: Acarreo en la suma y no en la resta

0: Acarreo en la resta y no en la suma

Este bit también se utiliza en las instrucciones de rotación

## DC: Señalizador de acarreo en el 4º bit de menos peso.

1: Acarreo en la suma

0 : No acarreo en la suma

En la resta lo contrario

## Z: Señalizador de cero

- 1: el resultado de la última operación aritmética o lógica es cero

- 0: El resultado de la última operación es distinto de cero



# Comprobación de que un registro es mayor o menor que otro

Operación A-B	Resultado	Bits de Carry y Zero
A>B	Positivo	C=1 y Z=0
A<B	Negativo	C=0 y Z=0
A=B	Cero	C=1 y Z=1

Movlw            Dato\_B ;Dato\_B → W

Sublw            Dato\_A ;DatoA – W → W

o

Movlw            Dato\_B ;Dato\_B → W

Subwf            Dato\_A, W        ;Dato\_A-W → W

# Registro OPTION\_REG (81h,181h)

R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1
<b>RBPU</b>	<b>INTED</b>	<b>T0SC</b>	<b>T0SE</b>	<b>PSA</b>	<b>PSA2</b>	<b>PSA1</b>	<b>PSA0</b>
bit7							bit 0

## **RBPU# : Resistencia Pull-up Puerto B**

1: Desactivadas para el PIC16F87X (para el 16C84 es al contrario)

0: Activadas para el PIC16F87X (para el 16C84 es al contrario)

## **INTEDG: Flanco activo control de interrupciones**

1: Flanco Ascendente

0: Flanco Descendente

# Registro OPTION\_REG (81h,181h)

R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1
<b>RBPU</b>	<b>INTED</b>	<b>T0SC</b>	<b>T0SE</b>	<b>PSA</b>	<b>PS2</b>	<b>PS1</b>	<b>PS0</b>
bit7							bit 0

## **T0CS: Tipo de Reloj para TMR0**

- 1: Pulsos introducidos a través de T0CK1 (Contador)
- 0: Pulsos de reloj interno  $F_{osc}/4$  (Temporizador)

## **T0SE: Tipo de flanco en T0CK1**

- 1: Incremento de TMR0 cada flanco descendente
- 0: Incremento de TMR0 cada flanco ascendente

## **PSA: Asignación del divisor de frecuencia**

- 1: El divisor de frecuencia se asigna al WDT
- 0: El divisor de frecuencia se asigna al TMR0

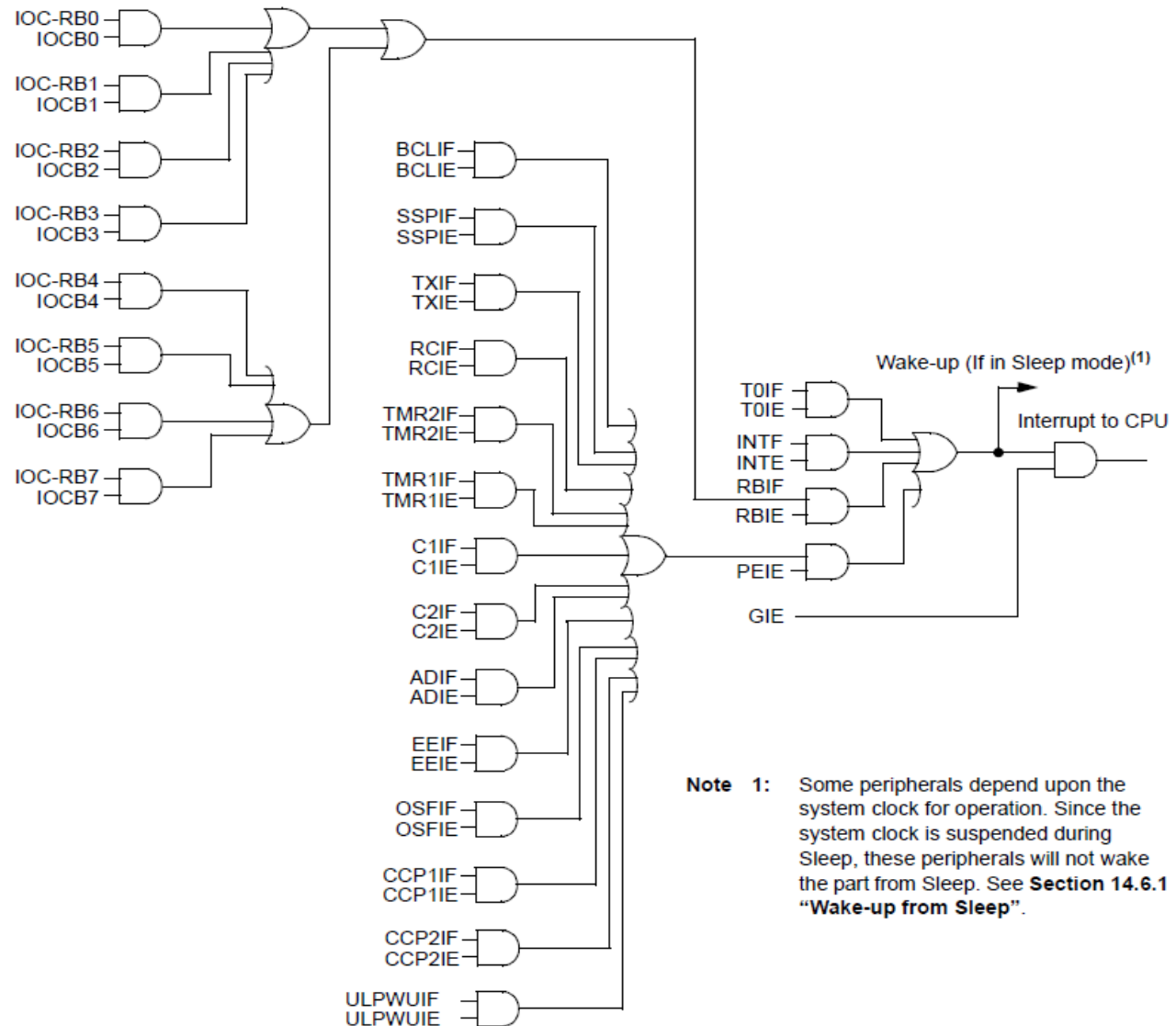
# Registro OPTION\_REG (81h,181h)

R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1	R/W -1
<b>RBPU</b>	<b>INTED</b>	<b>T0SC</b>	<b>T0SE</b>	<b>PSA</b>	<b>PS2</b>	<b>PS1</b>	<b>PS0</b>
bit7							bit 0

## PS2:PS0: Rango con el que actúa el Divisor de frecuencia

PS2	PS1	PS0	Divisor del TMR0	Divisor del WDT
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

# Interrupciones en de los PIC16F88X



**Note 1:** Some peripherals depend upon the system clock for operation. Since the system clock is suspended during Sleep, these peripherals will not wake the part from Sleep. See **Section 14.6.1 "Wake-up from Sleep"**.

# Registro INTCON (0Bh,8Bh,10Bh,18Bh)

R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0
<b>GIE</b>	<b>PEIE</b>	<b>TOIE</b>	<b>INTE</b>	<b>RBIE</b>	<b>TOIF</b>	<b>INTF</b>	<b>RBOIF</b>
bit7							bit 0

## **GIE: Activación Global de Interrupciones**

1: Concedido el permiso de interrupciones

0: No hay posibilidad de interrupciones

## **PEIE: Activación de interrupciones de los periféricos que no se controlan desde INTCON**

1: Habilita interrupciones de los periféricos

0: Habilita interrupciones de los periféricos

# Registro INTCON (0Bh,8Bh,10Bh,18Bh)

R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0
<b>GIE</b>	<b>PEIE</b>	<b>TOIE</b>	<b>INTE</b>	<b>RBIE</b>	<b>TOIF</b>	<b>INTF</b>	<b>RB0IF</b>
bit7							bit 0

## **TOIE: Activación de la interrupción del TMR0**

1: Interrupción activada

0: Interrupción desactivada

## **INTE: Activación de la interrupción externa por RB0**

1: Interrupción activada

0: Interrupción desactivada

## **RBIE: Activación de la interrupción por cambio de estado del PortB**

1: Interrupción activada

0: Interrupción desactivada



# Registro INTCON (0Bh,8Bh,10Bh,18Bh)

R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0
<b>GIE</b>	<b>PEIE</b>	<b>TOIE</b>	<b>INTE</b>	<b>RBIE</b>	<b>TOIF</b>	<b>INTF</b>	<b>RB0IF</b>
bit7							bit 0

## **INTF: Señalizador de estado de la interrupción externa por RB0**

1: La entrada de la interrupción se ha activado. Se borra por software

0: No hay interrupción externa

## **TOIF: Señalizador de rebosamiento del TMR0**

1: El TMR0 se ha desbordado. Se borra por software

0: El TMR0 no se ha desbordado

## **RBIF: Señalizador de cambio de estado del Port B**

1: Cuando cambia de estado cualquier línea de PB (RB<7:4>). Se borra por software

0: Ninguna entrada de PB (RB<7:4>) ha cambiado

# Registro PIE1 (8Ch)

R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0
--	<b>ADIE</b>	<b>RCIE</b>	<b>TXIE</b>	<b>SSPIE</b>	<b>CCP1IE</b>	<b>TMR2IE</b>	<b>TMR1IE</b>
bit7							bit 0

**ADIE: Habilita interrupción por fin de conversión de A/D**

1 = Habilita interrupción del **convertidor A/D**

0 = inhabilita interrupción del convertidor A/D

# Registro PIE1 (8Ch)

R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0
---	<b>ADIE</b>	<b>RCIE</b>	<b>TXIE</b>	<b>SSPIE</b>	<b>CCP1IE</b>	<b>TMR2IE</b>	<b>TMR1IE</b>
bit7							bit 0

**RCIF: Habilidad de interrupción cuando se llena el buffer de recepción del USART**

1= Habilita interrupción por la **recepción del USAR**

0= inhabilita interrupción por la recepción del USAR

**TXIE: Habilidad de interrupción cuando se vacía el buffer de transmisión del USAR**

1= Habilita interrupción de **transmisión del USART**

0= inhabilita interrupción de transmisión del USART

# Registro PIE1 (8Ch)

R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0
---	<b>ADIE</b>	<b>RCIE</b>	<b>TXIE</b>	<b>SSPIE</b>	<b>CCP1IE</b>	<b>TMR2IE</b>	<b>TMR1IE</b>
bit7							bit 0

**SSPIE:** Habilitación de interrupción por el puerto serie asíncrono (SSP).

1 = Habilita interrupción del SSP

0 = inhabilita interrupción del SSP

**CCP1IE:** Habilitación de interrupción del módulo CCP1 cuando se produce una captura o comparación.

1 = Habilita interrupción del CCP1

0 = inhabilita interrupción del CCP1

# Registro PIE1 (8Ch)

R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0
---	<b>ADIE</b>	<b>RCIE</b>	<b>TXIE</b>	<b>SSPIE</b>	<b>CCP1IE</b>	<b>TMR2IE</b>	<b>TMR1IE</b>
bit7							bit 0

**TMR2IE: interrupción por TMR2 que está emparejado con PR2**

1 = Habilita interrupción por **TMR2**

0 = Inhibe la interrupción TMR2

**TMR1IE: interrupción por desbordamiento del TMR1**

1 = Habilita interrupción por desbordamiento del **TMR1**

0 = Inhabilita interrupción por desbordamiento del TMR1



# Registro PIR1 (0Ch)









R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
---	<b>ADIF</b>	<b>RCIF</b>	<b>TXIF</b>	<b>SSPIF</b>	<b>CCP1IF</b>	<b>TMR2IF</b>	<b>TMR1IF</b>
bit7							bit 0

**ADIF: Flag de fin de conversión del convertidor A/D**

1 = El convertidor A/D ha finalizado la conversión

0 = El convertidor A/D no ha realizado o no ha finalizado la conversión

# Registro PIR1 (0Ch)

							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
<b>PSPIF</b>	<b>ADIF</b>	<b>RCIF</b>	<b>TXIF</b>	<b>SSPIF</b>	<b>CCP1IF</b>	<b>TMR2IF</b>	<b>TMR1IF</b>
bit7							bit 0

## RCIF: Flag de recepción por el USART

1= El buffer de datos recibidos por el USART está lleno

0= El buffer de datos recibidos por el USART no está lleno









## TXIF: Flag de transmisión el USART

1= El buffer de datos a transmitir está vacío

0= El buffer de daos a transmitir no está lleno



# Registro PIR1 (0Ch)

							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
---	<b>ADIF</b>	<b>RCIF</b>	<b>TXIF</b>	<b>SSPIF</b>	<b>CCP1IF</b>	<b>TMR2IF</b>	<b>TMR1IF</b>
bit7							bit 0

**SSPIF**: Flag de interrupción del Puerto Serie Síncrono (SSP)

## En Modo SPI

Ha tenido lugar una Transmisión/Recepción

## En Modo I2C Slave

Ha tenido lugar una Transmisión/Recepción

## En Modo I2C Master

Ha tenido lugar una Transmisión / Recepción









La condición de salida iniciada se completó por el módulo de SSP.

La condición de parada inicio se completó por el módulo de SSP.

La condición de reinicialización se completo por el módulo SSP

Una condición de la salida se ha realizado mientras el módulo de SSP estaba en estado de espera (sistema de Multimaster).

# Registro PIR1 (0Ch)

							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
---	<b>ADIF</b>	<b>RCIF</b>	<b>TXIF</b>	<b>SSPIF</b>	<b>CCP1IF</b>	<b>TMR2IF</b>	<b>TMR1IF</b>
bit7							bit 0

**CCPIF:** Flag del módulo CCP1

Modo Captura: 1=Se ha producido una captura de TMR1

Modo Comparación: 1= Se ha realizado una comparación de TMR1

**TMR2IF:** Flag de interrupción si TMR2 coincide con PR2

1 = Si TMR2 coincide con PR2

0 = no se produce coincidencia entre TMR2 y PR2

**TMR1IF:** Flag de desbordamiento del TMR1

1 = desbordamiento del **TMR1**, debe ponerse a "0" por software

0 = no se ha producido desbordamiento del TMR1

# Registro PIE2 (8Dh)

R/W-0	R/W 0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W 0
<b>OSFIE</b>	<b>C2IE</b>	<b>C1IE</b>	<b>EEIE</b>	<b>BCLIE</b>	<b>ULPWUIE</b>	--	<b>CCP2IE</b>
bit7							bit 0

**OSFIE:** Permiso de Interrupción del circuito de detección de fallos del oscilador del sistema

1 = Interrupción habilitada

0 = Deshabilita la interrupción

**C2IE :** Habilita la interrupción del comparador numero 2

1 = Habilita la interrupción

0 = Deshabilita interrupción

**C1IE:** Habilita la interrupción del comparador numero 1

1 = Habilita interrupción

0 = Deshabilita interrupción

# Registro PIE2 (8Dh)

R/W-0	R/W 0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W 0
<b>OSFIE</b>	<b>C2IE</b>	<b>C1IE</b>	<b>EEIE</b>	<b>BCLIE</b>	<b>ULPWUIE</b>	--	<b>CCP2IE</b>
bit7							bit 0

**EEIE** : Habilita la interrupción por escritura en la E2PROM de usuario

1 = Habilita la interrupción por escritura en la E2PROM de usuario

0 = Deshabilita la interrupción por escritura en la E2PROM de usuario

**BCLIE** : Habilita la interrupción por colisión en el bus SSP cuando dos o más maestros intentan transferir al mismo tiempo.

1 = Habilita la interrupción por colisión de bus SSP

0 = Deshabilita interrupción por colisión de bus SSP

# Registro PIE2 (8Dh)

R/W-0	R/W 0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W 0
<b>OSFIE</b>	<b>C2IE</b>	<b>C1IE</b>	<b>EEIE</b>	<b>BCLIE</b>	<b>ULPWUIE</b>	--	<b>CCP2IE</b>
bit7							bit 0

**ULPWUIE:** Habilita la interrupción de bajo consumo al detectar flanco descendente en RA0

1 = Habilita la interrupción

0 = Deshabilita la interrupción

**CCPIE:** Habilita interrupción del módulo CCP2

1 = Habilita interrupción por CCP2

0 = Deshabilita interrupción por CCP2

# Registro PIR2 (0Dh)



R/W-0	R/W 0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W 0
<b>OSCIF</b>	<b>C2IF</b>	<b>C1IF</b>	<b>EEIF</b>	<b>BCLIF</b>	<b>ULPWUIF</b>	--	<b>CCP2IF</b>
bit7							bit 0

**OSCIF:** bit que indica si se ha producido un fallo en el oscilador del sistema

1 = Fallo en el oscilador externo. INTOSC pasa a ser el nuevo oscilador (se borra por software)

0 = Oscilador externo en funcionamiento.

**C2IF:** Flag que indica estado del comparador n°2

1 = La salida del comparador 2 ha cambiado (se borra por software)

0 = No hay cambio en la salida del comparador 2

**C1IF:** Flag que indica estado del comparador n°1

1 = La salida del comparador1 ha cambiado (se borra por software)

0 = No hay cambio en la salida del comparador 1

# Registro PIR2 (0Dh)



R/W-0	R/W 0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W 0
<b>OSFIF</b>	<b>C2IF</b>	<b>C1IF</b>	<b>EEIF</b>	<b>BCLIF</b>	<b>ULPWUIF</b>	--	<b>CCP2IF</b>
bit7							bit 0

**EEIF** : bit que indica si se ha producido una escritura en la E2PROM de usuario

1 = Se ha completado la escritura en la E2PROM de usuario

0 = no se ha producido escritura en la E2PROM de usuario

**BCLIF**: Flag que indica la colisión en el bus SSP

1 = Se ha producido una colisión de bus SSP

0 = No se ha producido colisión en el bus SSP



# Registro PIR2 (0Dh)

R/W-0	R/W 0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W 0
<b>OSFIF</b>	<b>C2IF</b>	<b>C1IF</b>	<b>EEIF</b>	<b>BCLIF</b>	<b>ULPWUIF</b>	--	<b>CCP2IF</b>
bit7							bit 0

**ULPWUIF:** bit que indica el estado de la interrupción de bajo consumo

1 = Detectado flanco descendente de interrupción por RA0/ULPWU (debe borrarse por software)

0 = no se ha detectado flanco por RA0/ULPWU

**CCPIF:** Flag de interrupción del módulo CCP2

Modo Captura:

1= Se ha producido una captura de TMR1

0= No se ha capturado el valor del TMR1

Modo Comparación:

1= El valor del Timer1 coincide con el valor del registro de comparación (debe borrarse por software)

0 = El valor del Timer1 no coincide

# Registro PCON (8Eh)

U-0	U-0	R/W 0	R/W 1	U-0	U-0	R/W 0	R/W 0
--	--	ULPWUE	SBOREN	--	--	#POR	#BOR
bit7							bit 0

**ULPWUE:** Activación del “despertar” desde el modo SLEEP con bajo consumo mediante RA0

1 = Despertar en bajo consumo activado

0 = Despertar del bajo consumo desactivado

**SBOREN** Activación del BOR por software (Si BOREN<1:0> de la palabra de configuración = 01)

1 = BOR activado

0 = BOR Desactivado

# Registro PCON (8Eh)

U-0	U-0	R/W 0	R/W 1	U-0	U-0	R/W 0	R/W 0
--	--	ULPWUE	SBOREN	--	--	#POR	#BOR
bit7							bit 0

## #POR: Bit de estado Power-on Reset

1 = No se ha producido un Power-on Reset

0 = Se ha producido un Power-on Reset

## #BOR bit de estado Brown-out Reset

1 = No se ha producido ninguna caída de tensión de Vdd

0 = Se ha detectado una caída de tensión Vdd y se ha generado un RESET

# Causa del RESET

- Analizando los bits **/TO** y **/PD** del registro de **STATUS** y los bits **/POR** y **/BOR** del registro **PCON**. Durante la secuencia de arranque o inicio, haciendo un análisis de los mismos podemos averiguar la causa del RESET que la provocó.

<b>/POR</b>	<b>/BOR</b>	<b>/TO</b>	<b>/PD</b>	<b>Causas del Reset</b>
0	X	1	1	Conexión de alimentación Power-On Reset (POR)
U	0	1	1	RESET al detectar caída de tensión Vdd (BOR)
U	U	0	U	RESET por desbordamiento del WDT
U	U	0	0	Salida del modo SLEEP por desbordamiento del WDT
U	U	U	U	Activación de la patilla RE3/MCLR (RESET externo) en el modo normal de ejecución
U	U	1	0	Activación de la patilla RE2/MCLR (RESET externo) en el modo SLEEP de bajo consumo ( <i>standbyte</i> )

# Centros participantes en el proyecto: “Aprendizaje de la Electrónica a través de la Robótica” 2009-2011



- IES Politécnico Jesús Marín (Málaga)
- IES Juan de la Cierva (Madrid)
- IES Luis de Lucena (Guadalajara)
- IES María Moliner (Segovia)
- IES Joan Miró (San Sebastián de los Reyes. Madrid)
- IES Virgen de las Nieves (Granada)
- IES Torreón del Alcázar ( Ciudad Real)