

2.0. ORGANIZACIÓN DE LA MEMORIA

2.1. Organización de la memoria de programa

Los PIC16F882/883/884/886/887 tienen un contador de programa (PC) de 13bit, capaz de direccionar un espacio de memoria de programa de:

- 2K x 14bit (0000h-07FFh) para el PIC16F882
- 4K x 14bit (0000h-0FFFh) para el PIC16F883/PIC16F884
- 8K x 14bit (0000h-1FFFh) para el PIC16F886/PIC16F887

El acceso a una dirección por encima de estos límites provocará una envolvente dentro de los primeros 8K x 14bit del espacio de memoria. El vector de Reset se sitúa en la dirección 0000h y el de interrupción en 0004h. (ver Figuras 2-2 y 2-3).

FIGURA 2-1: MAPA DE MEMORIA DE PROGRAMA Y PILA PARA EL PIC16F882

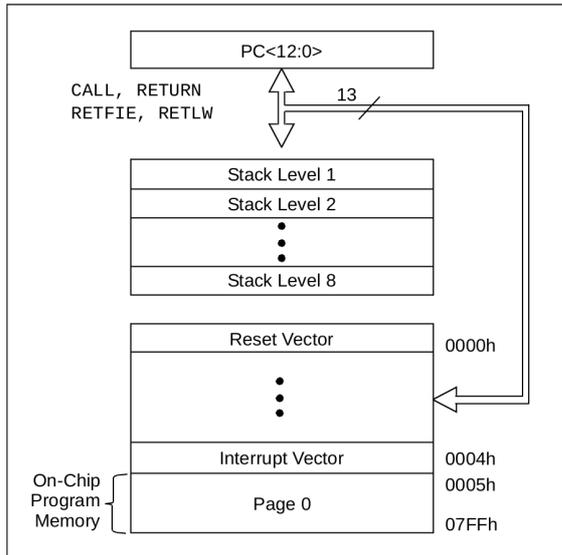


FIGURA 2-2: MAPA DE MEMORIA DE PROGRAMA Y PILA PARA EL PIC16F883/PIC16F884

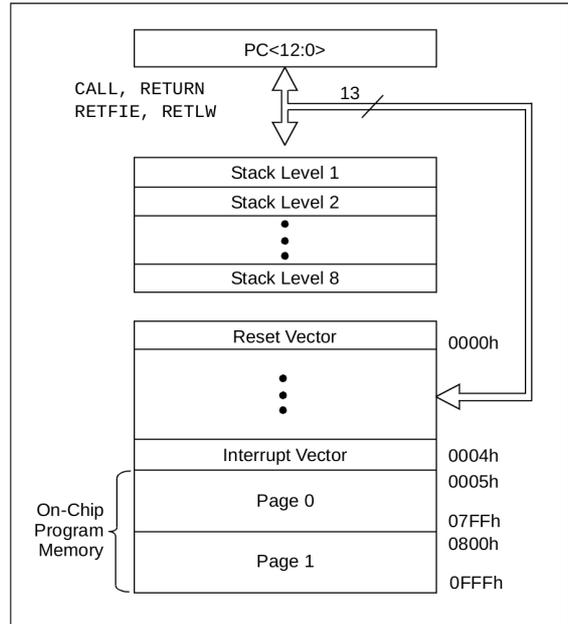
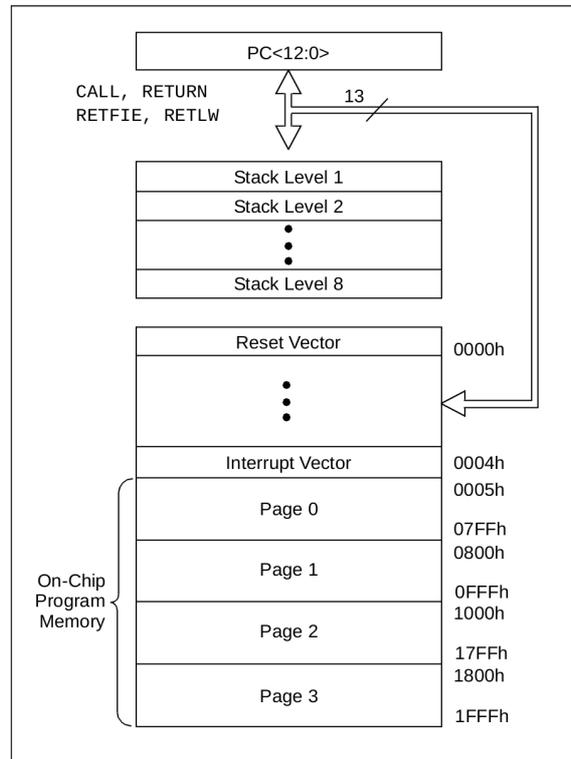


FIGURA 2-3: MAPA DE MEMORIA DE PROGRAMA Y PILA PARA EL PIC16F886/PIC16F887



## 2.2. Organización de la memoria de datos

La memoria de datos está repartida en cuatro bancos que contienen los Registros de Propósito General (GPR) y los Registros de Funciones Especiales (SFR). Los Registros de Funciones Especiales se encuentran en las primeras 32 posiciones de cada banco. Los Registros de Propósito General, implementados en memoria RAM, se encuentran en las últimas 96 posiciones de cada banco. Los Registros situados en F0h-FFh del banco 1, 170h-17Fh del Banco 2 y 1F0h-1FFh del Banco 3, se pueden utilizar desde 70h-7Fh del banco 0. El número de Registros de Propósito General (GPR) existentes en cada banco dependen del dispositivo. Los detalles se muestran en las Figuras 2-5 y 2-6. El resto de direcciones de memoria RAM no existen como registros físicos y se leen como '0'. Los bits RP<1:0> del registro de estado (STATUS) son los bits selectores de banco:

<u>RP1</u>	<u>RP0</u>	
0	0	Seleccionan el Banco 0
0	1	Seleccionan el Banco 1
1	0	Seleccionan el Banco 2
1	1	Seleccionan el Banco 3

### 2.2.1. FICHERO DE REGISTROS DE PROPÓSITO GENERAL

El fichero de registros está organizados en:

- 128 x 8bit en el PIC16F882
- 256 x 8 en el PIC16F883/PIC16F884
- 368 x 8 en el PIC16F886/PIC16F887

Se puede acceder a cada registro directamente o, indirectamente a través del Registro de Selección del Fichero (FSR) (véase la sección **2.4 "Direccionamiento indirecto, registros INDF y FSR"**).

### 2.2.2. REGISTROS DE FUNCIONES ESPECIALES

Los Registros de Funciones Especiales (SFR) son utilizados por la CPU y los periféricos para controlar las operaciones del dispositivo ( Ver Tabla 2-1) y están implementados en RAM estática. Pueden ser clasificados en dos grupos: del núcleo y de periféricos. En esta sección se describen los SFR pertenecientes al grupo del núcleo. Los pertenecientes al grupo de periféricos se describen en la sección dedicada a cada periférico y sus funciones.

FIGURA 2-4: PIC16F882 REGISTROS DE FUNCIONES ESPECIALES (SFR)

File		File		File		File	
Indirect addr. <sup>(1)</sup>	Address						
TMR0	01h	OPTION_REG	81h	TMR0	101h	OPTION_REG	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h	WDTCON	105h	SRCON	185h
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h
PORTC	07h	TRISC	87h	CM1CON0	107h	BAUDCTL	187h
	08h		88h	CM2CON0	108h	ANSEL	188h
PORTE	09h	TRISE	89h	CM2CON1	109h	ANSELH	189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR1	0Ch	PIE1	8Ch	EEDAT	10Ch	EECON1	18Ch
PIR2	0Dh	PIE2	8Dh	EEADR	10Dh	EECON2 <sup>(1)</sup>	18Dh
TMR1L	0Eh	PCON	8Eh	EEDATH	10Eh	Reserved	18Eh
TMR1H	0Fh	OSCCON	8Fh	EEADRH	10Fh	Reserved	18Fh
T1CON	10h	OSCTUNE	90h		110h		190h
TMR2	11h	SSPCON2	91h		111h		191h
T2CON	12h	PR2	92h		112h		192h
SSPBUF	13h	SSPADD	93h		113h		193h
SSPCON	14h	SSPSTAT	94h		114h		194h
CCPR1L	15h	WPUB	95h		115h		195h
CCPR1H	16h	IOCB	96h		116h		196h
CCP1CON	17h	VRCON	97h		117h		197h
RCSTA	18h	TXSTA	98h		118h		198h
TXREG	19h	SPBRG	99h		119h		199h
RCREG	1Ah	SPBRGH	9Ah		11Ah		19Ah
CCPR2L	1Bh	PWM1CON	9Bh		11Bh		19Bh
CCPR2H	1Ch	ECCPAS	9Ch		11Ch		19Ch
CCP2CON	1Dh	PSTRCON	9Dh		11Dh		19Dh
ADRESH	1Eh	ADRESL	9Eh		11Eh		19Eh
ADCON0	1Fh	ADCON1	9Fh		11Fh		19Fh
	20h	General Purpose Registers	A0h		120h		1A0h
		32 Bytes	BFh				
			C0h				
			EFh		16Fh		1EFh
		accesses	F0h	accesses	170h	accesses	1F0h
		70h-7Fh	FFh	70h-7Fh	17Fh	70h-7Fh	1FFh
	7Fh						
Bank 0		Bank 1		Bank 2		Bank 3	

■ Unimplemented data memory locations, read as '0'.

**Note 1:** Not a physical register.

FIGURA 2-5: PIC16F883/PIC16F884 REGISTROS DE FUNCIONES ESPECIALES (SFR)

File		File		File		File	
Address		Address		Address		Address	
Indirect addr. <sup>(1)</sup>	00h	Indirect addr. <sup>(1)</sup>	80h	Indirect addr. <sup>(1)</sup>	100h	Indirect addr. <sup>(1)</sup>	180h
TMR0	01h	OPTION_REG	81h	TMR0	101h	OPTION_REG	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h	WDTCON	105h	SRCON	185h
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h
PORTC	07h	TRISC	87h	CM1CON0	107h	BAUDCTL	187h
PORTD <sup>(2)</sup>	08h	TRISD <sup>(2)</sup>	88h	CM2CON0	108h	ANSEL	188h
PORTE	09h	TRISE	89h	CM2CON1	109h	ANSELH	189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR1	0Ch	PIE1	8Ch	EEDAT	10Ch	EECON1	18Ch
PIR2	0Dh	PIE2	8Dh	EEADR	10Dh	EECON2 <sup>(1)</sup>	18Dh
TMR1L	0Eh	PCON	8Eh	EEDATH	10Eh	Reserved	18Eh
TMR1H	0Fh	OSCCON	8Fh	EEADRH	10Fh	Reserved	18Fh
T1CON	10h	OSCTUNE	90h		110h		190h
TMR2	11h	SSPCON2	91h		111h		191h
T2CON	12h	PR2	92h		112h		192h
SSPBUF	13h	SSPADD	93h		113h		193h
SSPCON	14h	SSPSTAT	94h		114h		194h
CCPR1L	15h	WPUB	95h		115h		195h
CCPR1H	16h	IOCB	96h		116h		196h
CCP1CON	17h	VRCON	97h		117h		197h
RCSTA	18h	TXSTA	98h		118h		198h
TXREG	19h	SPBRG	99h		119h		199h
RCREG	1Ah	SPBRGH	9Ah		11Ah		19Ah
CCPR2L	1Bh	PWM1CON	9Bh		11Bh		19Bh
CCPR2H	1Ch	ECCPAS	9Ch		11Ch		19Ch
CCP2CON	1Dh	PSTRCON	9Dh		11Dh		19Dh
ADRESH	1Eh	ADRESL	9Eh		11Eh		19Eh
ADCON0	1Fh	ADCON1	9Fh		11Fh		19Fh
	20h		A0h		120h		1A0h
General Purpose Registers		General Purpose Registers		General Purpose Registers			
96 Bytes		80 Bytes		80 Bytes			
	7Fh	accesses 70h-7Fh	EFh	accesses 70h-7Fh	16Fh		1EFh
			F0h		170h	accesses 70h-7Fh	1F0h
			FFh		17Fh		1FFh
Bank 0		Bank 1		Bank 2		Bank 3	

■ Unimplemented data memory locations, read as '0'.

**Note 1:** Not a physical register.

**2:** PIC16F884 only.

FIGURA 2-6: PIC16F886/PIC16F887 REGISTROS DE FUNCIONES ESPECIALES

File Address		File Address		File Address		File Address	
Indirect addr. <sup>(1)</sup>	00h	Indirect addr. <sup>(1)</sup>	80h	Indirect addr. <sup>(1)</sup>	100h	Indirect addr. <sup>(1)</sup>	180h
TMR0	01h	OPTION_REG	81h	TMR0	101h	OPTION_REG	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h	WDTCON	105h	SRCON	185h
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h
PORTC	07h	TRISC	87h	CM1CON0	107h	BAUDCTL	187h
PORTD <sup>(2)</sup>	08h	TRISD <sup>(2)</sup>	88h	CM2CON0	108h	ANSEL	188h
PORTE	09h	TRISE	89h	CM2CON1	109h	ANSELH	189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR1	0Ch	PIE1	8Ch	EEDAT	10Ch	EECON1	18Ch
PIR2	0Dh	PIE2	8Dh	EEADR	10Dh	EECON2 <sup>(1)</sup>	18Dh
TMR1L	0Eh	PCON	8Eh	EEDATH	10Eh	Reserved	18Eh
TMR1H	0Fh	OSCCON	8Fh	EEADRH	10Fh	Reserved	18Fh
T1CON	10h	OSCTUNE	90h		110h		190h
TMR2	11h	SSPCON2	91h		111h		191h
T2CON	12h	PR2	92h		112h		192h
SSPBUF	13h	SSPADD	93h		113h		193h
SSPCON	14h	SSPSTAT	94h		114h		194h
CCPR1L	15h	WPUB	95h		115h		195h
CCPR1H	16h	IOCB	96h	General Purpose Registers	116h	General Purpose Registers	196h
CCP1CON	17h	VRCON	97h		117h		197h
RCSTA	18h	TXSTA	98h		118h		198h
TXREG	19h	SPBRG	99h	16 Bytes	119h	16 Bytes	199h
RCREG	1Ah	SPBRGH	9Ah		11Ah		19Ah
CCPR2L	1Bh	PWM1CON	9Bh		11Bh		19Bh
CCPR2H	1Ch	ECCPAS	9Ch		11Ch		19Ch
CCP2CON	1Dh	PSTRCON	9Dh		11Dh		19Dh
ADRESH	1Eh	ADRESL	9Eh		11Eh		19Eh
ADCON0	1Fh	ADCON1	9Fh		11Fh		19Fh
	20h		A0h		120h		1A0h
General Purpose Registers	3Fh	General Purpose Registers		General Purpose Registers		General Purpose Registers	
	40h						
		80 Bytes		80 Bytes		80 Bytes	
96 Bytes	6Fh		EFh		16Fh		1EFh
	70h	accesses	F0h	accesses	170h	accesses	1F0h
	7Fh	70h-7Fh	FFh	70h-7Fh	17Fh	70h-7Fh	1FFh
Bank 0		Bank 1		Bank 2		Bank 3	

Unimplemented data memory locations, read as '0'.  
**Note 1:** Not a physical register.  
**2:** PIC16F887 only.

**TABLA 2-1: PIC16F882/883/884/886/887 RESUMEN DE LOS REGISTROS DE FUNCIONES ESPECIALES DEL BANCO 0**

Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Page
<b>Bank 0</b>											
00h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	37,217
01h	TMR0	Timer0 Module Register								xxxx xxxx	73,217
02h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	37,217
03h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	29,217
04h	FSR	Indirect Data Memory Address Pointer								xxxx xxxx	37,217
05h	PORTA <sup>(3)</sup>	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	xxxx xxxx	39,217
06h	PORTB <sup>(3)</sup>	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	48,217
07h	PORTC <sup>(3)</sup>	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	53,217
08h	PORTD <sup>(3,4)</sup>	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	xxxx xxxx	57,217
09h	PORTE <sup>(3)</sup>	—	—	—	—	RE3	RE2 <sup>(4)</sup>	RE1 <sup>(4)</sup>	RE0 <sup>(4)</sup>	--- xxxx	59,217
0Ah	PCLATH	—	—	—	Write Buffer for upper 5 bits of Program Counter				---	0000	37,217
0Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF <sup>(1)</sup>	0000 000x	31,217
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	34,217
0Dh	PIR2	OSFIF	C2IF	C1IF	EEIF	BCLIF	ULPWUJIF	—	CCP2IF	0000 00-0	35,217
0Eh	TMR1L	Holding Register for the Least Significant Byte of the 16-bit TMR1 Register								xxxx xxxx	76,217
0Fh	TMR1H	Holding Register for the Most Significant Byte of the 16-bit TMR1 Register								xxxx xxxx	76,217
10h	T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON	0000 0000	79,217
11h	TMR2	Timer2 Module Register								0000 0000	81,217
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	82,217
13h	SSPBUF	Synchronous Serial Port Receive Buffer/Transmit Register								xxxx xxxx	183,217
14h	SSPCON <sup>(2)</sup>	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	181,217
15h	CCPR1L	Capture/Compare/PWM Register 1 Low Byte (LSB)								xxxx xxxx	126,217
16h	CCPR1H	Capture/Compare/PWM Register 1 High Byte (MSB)								xxxx xxxx	126,217
17h	CCP1CON	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	124,217
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	161,217
19h	TXREG	EUSART Transmit Data Register								0000 0000	153,217
1Ah	RCREG	EUSART Receive Data Register								0000 0000	158,217
1Bh	CCPR2L	Capture/Compare/PWM Register 2 Low Byte (LSB)								xxxx xxxx	126,217
1Ch	CCPR2H	Capture/Compare/PWM Register 2 High Byte (MSB)								xxxx xxxx	126,218
1Dh	CCP2CON	—	—	DC2B1	DC2B0	CCP2M3	CCP2M2	CCP2M1	CCP2M0	- -00 0000	125,218
1Eh	ADRESH	A/D Result Register High Byte								xxxx xxxx	99,218
1Fh	ADCON0	ADCS1	ADCS0	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON	0000 0000	104,218

- Legend:** — = Unimplemented locations read as '0', u = unchanged, x = unknown, q = value depends on condition, shaded = unimplemented
- Note 1:** MCLR and WDT Reset do not affect the previous value data latch. The RBIF bit will be cleared upon Reset but will set again if the mismatch exists.
- 2:** When SSPCON register bits SSPM<3:0> = 1001, any reads or writes to the SSPADD SFR address are accessed through the SSPMSK register. See Registers • and 13-4 for more detail.
- 3:** Port pins with analog functions controlled by the ANSEL and ANSELH registers will read '0' immediately after a Reset even though the data latches are either undefined (POR) or unchanged (other Resets).
- 4:** PIC16F884/PIC16F887 only.

**TABLA 2-2: PIC16F882/883/884/886/887 RESUMEN DE LOS REGISTROS DE FUNCIONES ESPECIALES DEL BANCO 1**

Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Page
<b>Bank 1</b>											
80h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	37,217
81h	OPTION_REG	RBP $\bar{U}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	30,218
82h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	37,217
83h	STATUS	IRP	RP1	RP0	$\bar{T}O$	$\bar{P}D$	Z	DC	C	0001 1xxx	29,217
84h	FSR	Indirect Data Memory Address Pointer								xxxx xxxx	37,217
85h	TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	1111 1111	39,218
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	48,218
87h	TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	53,218
88h	TRISD <sup>(3)</sup>	TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0	1111 1111	57,218
89h	TRISE	—	—	—	—	TRISE3	TRISE2 <sup>(3)</sup>	TRISE1 <sup>(3)</sup>	TRISE0 <sup>(3)</sup>	--- 1111	59,218
8Ah	PCLATH	—	—	—	Write Buffer for the upper 5 bits of the Program Counter					---0 0000	37,217
8Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF <sup>(1)</sup>	0000 000x	31,217
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	32,218
8Dh	PIE2	OSFIE	C2IE	C1IE	EEIE	BCLIE	ULPWUIE	—	CCP2IE	0000 00-0	33,218
8Eh	PCON	—	—	ULPWUE	SBOREN	—	—	$\bar{P}OR$	$\bar{B}OR$	--01 --qq	36,218
8Fh	OSCCON	—	IRCF2	IRCF1	IRCF0	OSTS	HTS	LTS	SCS	-110 q000	62,218
90h	OSCTUNE	—	—	—	TUN4	TUN3	TUN2	TUN1	TUN0	---0 0000	66,218
91h	SSPCON2	GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	0000 0000	181,218
92h	PR2	Timer2 Period Register								1111 1111	81,218
93h	SSPADD <sup>(2)</sup>	Synchronous Serial Port (I <sup>2</sup> C mode) Address Register								0000 0000	189,218
93h	SSPMSK <sup>(2)</sup>	MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0	1111 1111	189,218
94h	SSPSTAT	SMP	CKE	D $\bar{A}$	P	S	R $\bar{W}$	UA	BF	0000 0000	189,218
95h	WPUB	WPUB7	WPUB6	WPUB5	WPUB4	WPUB3	WPUB2	WPUB1	WPUB0	1111 1111	49,218
96h	IOCB	IOCB7	IOCB6	IOCB5	IOCB4	IOCB3	IOCB2	IOCB1	IOCB0	0000 0000	49,218
97h	VRCON	VREN	VROE	VRR	VRSS	VR3	VR2	VR1	VR0	0000 0000	97,218
98h	TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	160,218
99h	SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	163,218
9Ah	SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	163,218
9Bh	PWM1CON	PRSEN	PDC6	PDC5	PDC4	PDC3	PDC2	PDC1	PDC0	0000 0000	145,218
9Ch	ECCPAS	ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1	PSSBD0	0000 0000	142,218
9Dh	PSTRCON	—	—	—	STRSYNC	STRD	STRC	STRB	STRA	---0 0001	146,218
9Eh	ADRESL	A/D Result Register Low Byte								xxxx xxxx	99,218
9Fh	ADCON1	ADFM	—	VCFG1	VCFG0	—	—	—	—	0-00 ----	105,218

**Legend:** — = Unimplemented locations read as '0'. u = unchanged, x = unknown, q = value depends on condition, shaded = unimplemented  
**Note 1:** MCLR and WDT Reset do not affect the previous value data latch. The RBIF bit will be cleared upon Reset but will set again if the mismatch exists.  
**2:** Accessible only when SSPCON register bits SSPM<3:0> = 1001.  
**3:** PIC16F884/PIC16F887 only.

**TABLA 2-3: PIC16F882/883/884/886/887 RESUMEN DE LOS REGISTROS DE FUNCIONES ESPECIALES DEL BANCO 2**

Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Page
<b>Bank 2</b>											
100h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	37,217
101h	TMR0	Timer0 Module Register								xxxx xxxx	73,217
102h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	37,217
103h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	29,217
104h	FSR	Indirect Data Memory Address Pointer								xxxx xxxx	37,217
105h	WDTCN	—	—	—	WDTPS3	WDTPS2	WDTPS1	WDTPS0	SWDTEN	---0 1000	225,218
106h	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	48,217
107h	CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1R	C1CH1	C1CH0	0000 -000	88,218
108h	CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2R	C2CH1	C2CH0	0000 -000	89,218
109h	CM2CON1	MC1OUT	MC2OUT	C1RSEL	C2RSEL	—	—	T1GSS	C2SYNC	0000 --10	91,219
10Ah	PCLATH	—	—	—	Write Buffer for the upper 5 bits of the Program Counter				---	0000	37,217
10Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF <sup>(1)</sup>	0000 000x	31,217
10Ch	EEDAT	EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0	0000 0000	112,219
10Dh	EEADR	EEADR7	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0	0000 0000	112,219
10Eh	EEDATH	—	—	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0	- -00 0000	112,219
10Fh	EEADRH	—	—	—	EEADRH4 <sup>(2)</sup>	EEADRH3	EEADRH2	EEADRH1	EEADRH0	---- 0000	112,219

**Legend:** -- = Unimplemented locations read as '0', u = unchanged, x = unknown, q = value depends on condition, shaded = unimplemented  
**Note 1:** MCLR and WDT Reset does not affect the previous value data latch. The RBIF bit will be cleared upon Reset but will set again if the mismatch exists.  
**2:** PIC16F886/PIC16F887 only.

**TABLA 2-4: PIC16F882/883/884/886/887 RESUMEN DE LOS REGISTROS DE FUNCIONES ESPECIALES DEL BANCO 3**

Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Page
<b>Bank 3</b>											
180h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	37,217
181h	OPTION_REG	$\overline{RBPU}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	30,218
182h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	37,217
183h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	29,217
184h	FSR	Indirect Data Memory Address Pointer								xxxx xxxx	37,217
185h	SRCON	SR1	SR0	C1SEN	C2REN	PULSS	PULSR	—	FVREN	0000 00-0	93,219
186h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	48,218
187h	BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	162,219
188h	ANSEL	ANS7 <sup>(2)</sup>	ANS6 <sup>(2)</sup>	ANS5 <sup>(2)</sup>	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	40,219
189h	ANSELH	—	—	ANS13	ANS12	ANS11	ANS10	ANS9	ANS8	--11 1111	99,219
18Ah	PCLATH	—	—	—	Write Buffer for the upper 5 bits of the Program Counter				---	0000	37,217
18Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF <sup>(1)</sup>	0000 000x	31,217
18Ch	EECON1	EEPGRD	—	—	—	WRERR	WREN	WR	RD	x--- x000	113,219
18Dh	EECON2	EEPROM Control Register 2 (not a physical register)								---- ----	111,219

**Legend:** -- = Unimplemented locations read as '0', u = unchanged, x = unknown, q = value depends on condition, shaded = unimplemented  
**Note 1:** MCLR and WDT Reset does not affect the previous value data latch. The RBIF bit will be cleared upon Reset but will set again if the mismatch exists.  
**2:** PIC16F884/PIC16F887 only.

2.2.2.1. Registro de estado STATUS.

El registro de estado, mostrado en REG 2-1, contiene:

- El estado aritmético de la Unidad Aritmético Lógica (ALU).
- El estado de reset.
- Los bits de selección de los bancos de datos (GPR y SFR).

El registro STATUS puede ser utilizado por cualquier instrucción, como cualquier otro registro. Si una instrucción, que afecte a los bits Z, DC o C, tiene como destino el registro STATUS, la escritura sobre estos bits se desactiva y solo cambian de estado por la lógica del dispositivo. Además, los bits  $\overline{TO}$  y  $\overline{PD}$  no son modificables. Por lo tanto, el resultado de una

instrucción con el registro del estado como destino puede ser diferente de lo previsto.

Por ejemplo: CLRF STATUS, borrará los tres bits de mayor peso y activará el bit Z. Esto deja el registro del estado como '000X X1XX' (donde X = sin cambios).

Por tanto para alterar el registro STATUS, se recomienda utilizar sólo las instrucciones BCF, BSF, SWAPF y MOVWF, ya que estas instrucciones no afectan a los bits de estado. Ver la sección 15.0 "Resumen del conjunto de instrucciones" para otras instrucciones que no afectan a ninguno de los bits de estado.

NOTA1: Los bits C y DC actúan como préstamo y préstamo digital en la resta.

**REG 2-1: STATUS: REGISTRO DE ESTADO**

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC <sup>(1)</sup>	C <sup>(1)</sup>
Bit 7							Bit 0

**Leyenda:**

R = Se puede leer	W = Se puede escribir	U = Bit no implementado si se lee es '0'
-n = Valor después del encendido (POR)	'1' = El bit está a 1	'0' = El bit está a 0    x = Valor desconocido

- bit 7 **IRP:** Bit de selección de banco de registros para direccionamiento indirecto  
 1 = Bancos 2, 3 (100h-1FFh)  
 0 = Bancos 0, 1 (00h-FFh)
- bit 6-5 **RP<1:0>:** Bits de selección de banco de registros para direccionamiento directo  
 00 = Banco 0 (00h-7Fh)  
 01 = Banco 1 (80h-FFh)  
 10 = Banco 2 (100h-17Fh)  
 11 = Banco 3 (180h-1FFh)
- bit 4  **$\overline{TO}$ :** Bit de Time-out  
 1 = Después del encendido o después de las instrucciones CLRWDWT o SLEEP  
 0 = Cuando el temporizador guardian (WDT) produce un time-out
- bit 3  **$\overline{PD}$ :** Bit de Power-down  
 1 = Después del encendido o después de la instrucción CLRWDWT  
 0 = Después de la instrucción SLEEP
- bit 2 **Z:** Bit de cero  
 1 = El resultado de una operación aritmética o lógica es cero  
 0 = El resultado de una operación aritmética o lógica no es cero
- bit 1 **DC:** Bit de acarreo/ $\overline{\text{Préstamo}}$  digital (Digit Carry/ $\overline{\text{Borrow}}$ )  
 (Para las instrucciones ADDWF, ADDLW,SUBLW,SUBWF)<sup>(1)</sup>  
 1 = Se ha producido acarreo desde los 4 bits de menor peso del resultado  
 0 = No se ha producido acarreo desde los 4 bits de menor peso del resultado
- bit 0 **C:** Bit de acarreo/ $\overline{\text{Préstamo}}$  (Para las instrucciones ADDWF, ADDLW, SUBLW, SUBWF)<sup>(1)</sup>  
 1 = Se ha producido acarreo desde bits mas significaticos del resultado  
 0 = No se ha producido acarreo desde bits mas significaticos del resultado

**Nota 1:** En el caso de  $\overline{\text{Préstamo}}$ , se invierte la polaridad del bit. La resta se realiza sumando el complemento a dos del segundo operando. En las instrucciones de rotación (FRR, RLF) este bit se carga, ya sea con el bit de mayor peso o el bit de menor peso del registro fuente utilizado.

2.2.2.2. Registro OPTION

El registro OPTION, mostrado en REG 2-2, es de lectura/escritura y contiene varios bits de control para configurar:

- El prescaler del Timer0/WDT
- Interrupción externa INT
- Timer0
- Resistencias de pull-ups del PRTB

**Nota:** Para lograr un prescaler de 1:1 para TIMER0, hay que asignar el prescaler al WDT estableciendo el bit PSA a "1". Véase la sección 6.3 "Timer1 prescaler".

**REG 2-2: OPTION\_REG: REGISTRO DE OPCIONES**

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
Bit 7							Bit 0

**Leyenda:**  
 R = Se puede leer                      W = Se puede escribir                      U = Bit no implementado si se lee es '0'  
 -n = Valor después del encendido (POR)                      '1' = El bit está a 1                      '0' = El bit está a 0                      x = Valor desconocido

- bit 7 **RBPU**: Resistencias de pull-up del PORTB  
 1 = pull-up del PORTB desconectadas  
 0 = pull-up del PORTB conectadas para los bits del puerto configurados como salidas
- bit 6 **INTEDG**: Bit de selección del flanco de interrupción  
 1 = Interrupción por flanco ascendente del pin INT  
 0 = Interrupción por flanco descendente del pin INT
- bit 5 **T0CS**: Selección de la fuente del Timer0  
 1 = cambio de nivel del pin T0CKI  
 0 = Reloj interno de ciclo de instrucción (FOSC/4)
- bit 4 **T0SE**: Flanco de disparo del Timer0  
 1 = Incremento por el flanco de bajada del pin T0CKI  
 0 = Incremento por el flanco de subida del pin T0CKI
- bit 3 **PSA**: Bit de asignación del prescaler  
 1 = El prescaler se aplica al WDT  
 0 = El prescaler se asigna al Timer0
- bit 2-0 **PS<2:0>**: Bits de selección del valor del prescaler

Valor del bit	Divisor Timer0	Divisor WDT
000	1:2	1 : 1
001	1 : 4	1 : 2
010	1 : 8	1 : 4
011	1 : 16	1 : 8
100	1 : 32	1 : 16
101	1 : 64	1 : 32
110	1 : 128	1 : 64
111	1 : 256	1 : 128

2.2.2.3. Registro INTCON

El registro INTCON, mostrado en REG 2-3, es un registro de lectura/escritura que contiene diversos bits de habilitación y banderas (flags) de: desbordamiento del Timer0, cambio en el PORTB e interrupciones externas del pin INT.

**Nota:** El valor de los flags se establece cuando se cumple una condición de interrupción, sin importar el estado de su correspondiente bit de habilitación o el bit de habilitación global GIE del registro INTCON. El software debe asegurar el borrado del flag de interrupción apropiado antes de habilitar una interrupción.

**REG 2-3: INTCON: REGISTRO DE CONTROL DE INTERRUPCIONES**

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE	PEIE	TOIE	INTE	RBIE <sup>(1)</sup>	TOIF <sup>(2)</sup>	INTF	RBIF
Bit 7							Bit 0

**Leyenda:**  
 R = Se puede leer                      W = Se puede escribir                      U = Bit no implementado si se lee es '0'  
 -n = Valor después del encendido (POR)                      '1' = El bit está a 1                      '0' = El bit está a 0                      x = Valor desconocido

- bit 7     **GIE:** Bit de habilitación global de interrupciones  
           1 = Habilita todas las interrupciones que no estén enmascaradas  
           0 = Deshabilita todas las interrupciones
- bit6     **PEIE:** Bit de habilitación de interrupciones de periféricos  
           1 = Habilita todas las interrupciones de los periféricos que no estén enmascaradas  
           0 = Deshabilita todas las interrupciones de los periféricos
- bit 5     **TOIE:** Bit de habilitación de la interrupción de desbordamiento del Timer0  
           1 = Habilita la interrupción del Timer0  
           0 = Deshabilita la interrupción del Timer0
- bit 4     **INTE:** Bit de Habilitación de la interrupción externa INT  
           1 = Habilita la interrupción externa INT  
           0 = Deshabilita la interrupción externa INT
- bit 3     **RBIE:** Bit de habilitación de la interrupción por cambio del PORTB<sup>(1)</sup>  
           1 = Habilita la interrupción por cambio del PORTB  
           0 = Deshabilita la interrupción por cambio del PORTB
- bit 2     **TOIF:** Flag de desbordamiento del Timer0<sup>(2)</sup>  
           1 = Se ha desbordado el registroTMR0 (debe ser borrado por software)  
           0 = No se ha desbordado el registro TMR0
- bit1     **INTF:** Flag de interrupción externa INT  
           1 = Se ha producido una interrupción externa INT (debe ser borrado por software)  
           0 = No se ha producido una interrupción externa INT
- bit 0     **RBIF:** Flag de interrupción por cambio en el PORTB  
           1 = Al menos uno de los pines del PORTB ha cambiado de estado (debe ser borrado por software)  
           0 = Ninguno de los pines del PORTB ha cambiado de estado

**Nota**    **1:**     El registro IOCB también debe estar habilitado.  
           **2:**     El bit TOIF se pone a "1" cuando se desborda el Timer0. El Timer0 no se modifica con un Reset y debe ser inicializado antes de borrar TOIF.

**2.2.2.4. Registro PIE1**

El registro PIE1 contiene los bits de habilitación de interrupciones y se muestra en REG 2-4.

**Nota:** Para habilitar las interrupciones de los periféricos hay que activar el bit PEIE del registro INTCON.

**REG 2-4: PIE1: REGISTRO 1 DE HABILITACIÓN DE INTERRUPTACIONES DE PERIFÉRICOS**

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
---	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE
Bit 7							Bit 0

**Leyenda:**

R = Se puede leer	W = Se puede escribir	U = Bit no implementado si se lee es '0'
-n = Valor después del encendido (POR)	'1' = El bit está a 1	'0' = El bit está a 0    x = Valor desconocido

- bit 7    **Sin implementar**, se lee como '0'
- bit 6    **ADIE:** Bit de habilitación de interrupción del convertor A/D (ADC)
  - 1 = Habilita la interrupción del ADC
  - 0 = Deshabilita la interrupción del ADC
- bit 5    **RCIE:** Bit de habilitación de interrupción de recepción del módulo Transmisor Receptor Síncrono Asíncrono Mejorado (EUSART)
  - 1 = Habilita la interrupción de recepción del EUSART
  - 0 = Deshabilita la interrupción de recepción del EUSART
- bit 4    **TXIE:** Bit de habilitación de interrupción de transmisión del EUSART
  - 1 = Habilita la interrupción de transmisión del EUSART
  - 0 = Deshabilita la interrupción de recepción del EUSART
- bit 3    **SSPIE:** Bit de habilitación de interrupción del Puerto Serie Síncrono Maestro (MSSP)
  - 1 = Habilita la interrupción del MSSP
  - 0 = Deshabilita la interrupción del MSSP
- bit 2    **CCP1IE:** Bit de habilitación de interrupción del Capturador/Comparador PWM Mejorado CCP1
  - 1 = Habilita la interrupción del CCP1
  - 0 = Deshabilita la interrupción del CCP1
- bit 1    **TMR2IE:** Bit de habilitación de la interrupción de igualdad entre TMR2 y PR2
  - 1 = Habilita la interrupción de igualdad entre TMR2 y PR2
  - 0 = Deshabilita la interrupción de igualdad entre TMR2 y PR2
- bit 0    **TMR1IE:** Bit de habilitación de la interrupción de desbordamiento del Timer1
  - 1 = Habilita la interrupción de desbordamiento del Timer1
  - 0 = Deshabilita la interrupción de desbordamiento del Timer1

2.2.2.5. Registro PIE2

El registro PIE2 contiene bits de habilitación de interrupciones de periféricos, se muestra en REG 2-5.

**Nota:** Para habilitar las interrupciones de periféricos hay que activar el bit PEIE del registro INTCON.

**REG 2-5: PIE: SEGUNDO REGISTRO DE HABILITACIÓN DE INTERRUPTACIONES DE PERIFÉRICOS.**

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0
OSFIE	C2IE	C1IE	EEIE	BCLIE	ULPWUIE	---	CCP2IE
Bit 7						Bit 0	

**Leyenda:**  
 R = Se puede leer                      W = Se puede escribir                      U = Bit no implementado si se lee es '0'  
 -n = Valor después del encendido (POR)                      '1' = El bit está a 1                      '0' = El bit está a 0                      x = Valor desconocido

- bit 7     **OSFIE:** Bit de habilitación de la interrupción de fallo en el oscilador  
           1 = Habilita la interrupción de fallo en el oscilador  
           0 = Deshabilita la interrupción de fallo en el oscilador.
- bit 6     **C2IE:** Bit de habilitación de la interrupción del comparador C2  
           1 = Habilita la interrupción del comparador C2  
           0 = Deshabilita la interrupción del comparador C2
- bit 5     **C1IE:** Bit de habilitación de la interrupción del comparador C1  
           1 = Habilita la interrupción del comparador C1  
           0 = Deshabilita la interrupción del comparador C1
- bit 4     **EEIE:** Bit de habilitación de la interrupción de escritura en la memoria EEPROM)  
           1 = Habilita la interrupción de escritura en la memoria EEPROM  
           0 = Deshabilita la interrupción de escritura en la memoria EEPROM
- bit 3     **BCLIE:** Bit de habilitación de la interrupción de colisión de bus  
           1 = Habilita la interrupción de colisión de bus  
           0 = Deshabilita la interrupción de colisión de bus
- bit 2     **ULPWUIE:** Bit de habilitación de la interrupción para salir del modo de ultra bajo consumo  
           1 = Habilita la interrupción para salir del modo de ultra bajo consumo  
           0 = Deshabilita la interrupción para salir del modo de ultra bajo consumo
- bit 1     **Sin implementar,** se lee como '1'
- bit 0     **CCP2IE:** Bit de habilitación de la interrupción del módulo 2 de Comparación/Captura/PWM (CCP2)  
           1 = Habilita la interrupción del CCP2  
           0 = Deshabilita la interrupción del CCP2.

2.2.2.6. Registro PIR1

El registro PIR1 contiene flags de interrupciones de periféricos y se muestra en la REG 2-6.

**Nota:** Los flags se activan cuando se produce una interrupción, independientemente del estado de su correspondiente bit de habilitación o de la habilitación global de interrupciones, GIE del registro INTCON.

**REG 2-6: PIR1: PRIMER REGISTRO DE FLAGS DE INTERRUPCIÓN DE PERIFÉRICOS**

U-0	R/W-0	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
---	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF
Bit 7							Bit 0

**Leyenda:**  
 R = Se puede leer                      W = Se puede escribir                      U = Bit no implementado si se lee es '0'  
 -n = Valor después del encendido (POR)                      '1' = El bit está a 1                      '0' = El bit está a 0                      x = Valor desconocido

- bit 7 **Sin implementar**, se lee como '0'
- bit 6 **ADIF**: flag de la interrupción del convertidor ADC  
 1 = Se ha completado una conversión A/D ( debe borrarse por software)  
 0 = No se ha completado una conversión A/D o no ha empezado
- bit 5 **RCIF**: flag de la interrupción de recepción del EUSART  
 1 = El búfer de recepción del EUSART está lleno. El bit se borra al leer el registro RCREG  
 0 = El búfer de recepción del EUSART no está lleno
- bit 4 **TXIF**:flag de la interrupción de transmisión del EUSART  
 1 = El búfer de transmisión del EUSART está vacío. El bit se borra al escribir un dato en el registro TXREG.  
 0 = El búfer de transmisión del EUSART está lleno.
- bit 3 **SSPIF**: flag de la interrupción de Puerto Serie Síncrono Maestro (MSSP)  
 1 = Se ha cumplido la condición de interrupción del MSSP. El bit debe borrarse por software antes de volver de la rutina de interrupción. Las condiciones que establece este bit depende del modo de operación:  
SPI      Ha tenido lugar una transmisión / recepción  
I<sup>2</sup>C Esclavo/Maestro      Ha tenido lugar una transmisión / recepción  
I<sup>2</sup>C Maestro  
     Se completó la condición inicial de Start (Inicio) del módulo MSSP  
     Se completó la condición inicial de Stop (Final) del módulo MSSP  
     Se completó la condición inicial de Restart (Reinicio) del módulo MSSP  
     Se completó la condición inicial de Acknowledge (Reconocimiento) del módulo MSSP  
     Se produjo una condición de Start mientras el módulo MSSP estaba ocioso (sistema multimaster)  
     Se produjo una condición de Stop mientras el módulo MSSP estaba(ocioso) (sistema multimaster)  
 0 = No se ha cumplido ninguna condición interrupción del MSSP.
- bit 2 **CCP1IF**:flag de la interrupción del módulo 1 de Comparación/Captura/PWM (CCP1).  
Modo captura:  
     1 = Se ha producido una captura del registro TMR1 ( debe borrarse por software)  
     0 = No se ha capturado el registro TIMER1  
Modo comparación:  
     1 = Se ha producido una coincidencia con el TIMER1 ( debe borrarse por software)  
     0 = No se ha producido coincidencia con el TIMER1.  
Modo PWM: Este bit no se usa en el modo PWM.
- bit 1 **TMR2IF**: flag de la interrupción de igual dad entre el temporizador Timer2 y el registro PR2)  
 1 = Se ha producido igualdad entre TMR2 y PR2 (debe ser borrado por software)  
 0 = No se ha producido igualdad entre TMR2 y PR2.
- bit 0 **TMR1IF**: Flag de interrupción de desbordamiento del Timer1  
 1 = Se ha producido un desbordamiento del registro TMR1 ( debe borrarse por software)  
 0 = No se ha producido desbordamiento del registro TMR1

2.2.2.7. Registro PIR2

El registro PIR2 contiene flags de interrupciones y es mostrado en REG 2-7.

**Nota:** Los bits de flags se ponen a '1' cuando se produce una interrupción, independientemente del estado de su correspondiente bit de habilitación o de la habilitación global de interrupciones, GIE del registro INTCON. Hay que asegurarse, por software, que los flags están borrados antes de habilitar una interrupción.

**REGISTER 2-7: PIR2: SEGUNDO REGISTRO DE FLAGS DE INTERRUPCIÓN DE PERIFÉRICOS**

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0
OSFIF	C2IF	C1IF	EEIF	BCLIF	ULPWUIF	---	CCP2IF
Bit 7							Bit 0

**Leyenda:**  
 R = Se puede leer                      W = Se puede escribir                      U = Bit no implementado si se lee es '0'  
 -n = Valor después del encendido (POR)                      '1' = El bit está a 1                      '0' = El bit está a 0                      x = Valor desconocido

- bit 7     **OSFIF:** flag de la interrupción de fallo en el oscilador  
 1 = Se ha producido un fallo en el oscilador del sistema, la entrada de reloj ha sido cambiada al oscilador interno INTOSC. ( debe borrarse por software)  
 0 = El oscilador del sistema funciona correctamente
- bit 6     **C2IF:**flag de la interrupción del comparador C2  
 1 = La salida C2OUT del comparador ha cambiado ( debe borrarse por software)  
 0 = La salida C2OUT del comparador no ha cambiado.
- bit 5     **C1IF:** flag de la interrupción del comparador C1  
 1 = La salida C1OUT del comparador ha cambiado ( debe borrarse por software)  
 0 = La salida C1OUT del comparador no ha cambiado.
- bit 4     **EEIF:** flag de la interrupción de escritura en la memoria EEPROM  
 1 = La operación de escritura se ha completado ( debe borrarse por software)  
 0 = La operación de escritura no se ha completado o todavía no se ha iniciado
- bit 3     **BCLIF:** flag de la interrupción de colisión de bus en el MSSP  
 1 = Se ha producido una colisión de bus en el MSSP al ser configurado para el modo maestro I2C  
 0 = No se ha producido colisión de bus en el MSSP
- bit 2     **ULPWUIF:** flag de la interrupción para salir del modo de ultra bajo consumo  
 1 = Se ha cumplido la condición de salir del modo de ultra bajo consumo ( debe borrarse por software)  
 0 = No se ha cumplido la condición de salir del modo de ultra bajo consumo.
- bit 1     **Sin implementar,** se lee como '0'
- bit 0     **CCP2IF:** flag de la interrupción del módulo 1 de Comparación/Captura/PWM (CCP1).  
Modo captura:  
 1 = Se ha producido una captura del registro TMR1 ( debe borrarse por software)  
 0 = No se ha capturado el registro TIMER1  
Modo comparación:  
 1 = Se ha producido una coincidencia con el TIMER1 ( debe borrarse por software)  
 0 = No se ha producido coincidencia con el TIMER1.  
Modo PWM:  
 Este bit no se usa en el modo PWM.

**2.2.2.8. Registro PCON**

El registro de control de alimentación ( Power Control ) contiene flags y bits de habilitación para los siguientes casos:

- Power-on Reset ( $\overline{\text{POR}}$ ) ( Reset encendido)
- Brown-out Reset ( $\overline{\text{BOR}}$ ) ( Reset por caída de alimentación)
- Watchdog Timer Reset (WDT) ( Reset del temporizador guardián)
- Reset externo  $\overline{\text{MCLR}}$

También controla la salida del modo de ultra bajo consumo y la habilitación por software del BOR.

**REGISTER 2-8: PCON: REGISTRO DE CONTROL DE ALIMENTACIÓN**

U-0	U-0	R/W-0	R/W-1	U-0	U-0	R/W-0	R/W-x
---	---	ULPWUE	SBOREN <sup>(1)</sup>	---	---	$\overline{\text{POR}}$	$\overline{\text{BOR}}$
Bit 7							Bit 0

**Leyenda:**  
 R = Se puede leer                      W = Se puede escribir                      U = Bit no implementado si se lee es '0'  
 -n = Valor después del encendido (POR)                      '1' = El bit está a 1                      '0' = El bit está a 0                      x = Valor desconocido

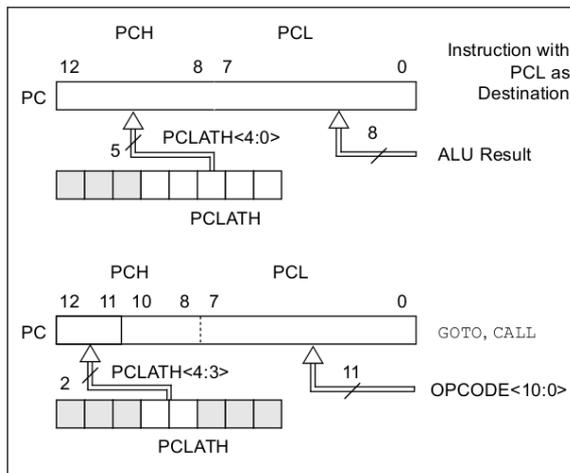
- bit 7-6 **Sin implementar**, se leen como '0'
- bit 5 **ULPWUE**: Bit de habilitación para salir del modo de ultra bajo consumo
  - 1 = Habilita salir del modo de ultra bajo consumo
  - 0 = Deshabilita salir del modo de ultra bajo consumo
- bit 4 **SBOREN<sup>(1)</sup>**: Bit de habilitación del BOR por software
  - 1 = Se habilita Brown-out reset
  - 0 = Se deshabilita Brown-out reset
- bit 3-2 **Sin implementar**, se leen como '0'
- bit 1  **$\overline{\text{POR}}$** : flag de Power- on reset
  - 1 = No se ha producido Power-on reset
  - 0 - Se ha producido Power-on reset. El bit debe ponerse a uno por software después de que se haya producido un Power-on reset
- bit 0  **$\overline{\text{BOR}}$** : flag de Brown-out reset
  - 1 - No se ha producido Brown - out reset
  - 0 - Se ha producido Brown-out reset. El bit debe ponerse a uno por software después de que se haya producido Brown-out reset.

**Nota 1:** Para utilizar SBOREN hay que poner BOREN<1:0> = 01 en la palabra de configuración

### 2.3. PCL y PCLATH

El Contador de Programa (PC) es de 13bits. El Byte bajo se almacena en el registro de lectura/escritura PCL. La parte alta ( PC<12:8> ) no se puede leer ni escribir directamente y procede de PCLATH. Tras cualquier Reset se borra el PC. En la Figura 2-7 se muestran las dos situaciones para la carga del PC. El ejemplo superior muestra como se carga el PC con una escritura en PCL ( el contenido de PCLATH<4:0> se carga en PCH ). En el ejemplo inferior muestra como se carga el PC durante una instrucción CALL o GOTO ( El contenido de PCLATH<4:3> se carga en PCH).

**FIGURA 2-7 CARGA DEL PC EN DISTINTAS SITUACIONES**



#### 2.3.1. MODIFICACIÓN DEL PCL

La ejecución de cualquier instrucción que tenga como destino el registro PCL provoca, al mismo tiempo, que los bits PC <12:08> (PCH) del contador de programa sean reemplazados por el contenido del registro PCLATH. Esto permite cambiar el contenido completo del contador de programa, escribiendo los 5 bits de mayor peso con el contenido de PCLATH. Cuando se escriben en el registro PCL los 8 bits mas bajos, los 13 bits del contador de programa cambiará a los valores contenidos en PCLATH y aquellos escritos en PCL.

Un salto (GOTO) programado se hace mediante la suma de un desplazamiento al contador de programa (ADDWF PCL). Se debe tener cuidado al saltar en una tabla de búsqueda o en una tabla de ramificación de programa (GOTO programado) pues solo se modifica el registro PCL. Suponiendo que PCLATH se establece para la dirección de comienzo de la tabla, si la longitud de la tabla es mayor que 255 instrucciones o si los 8bits de menor peso se desbordan de 0xFF a 0x00 en mitad de la tabla, se debe incrementar el PCLATH para cada renovación de direcciones que se produzca entre el comienzo de la tabla y la dirección de destino dentro de la tabla.

Para más información, consulte la nota de aplicación AN556, "Implementing a Table Read" (DS00556).

#### 2.3.2. STACK

Los PIC16F882/883/884/886/887 tienen una pila hardware de 8 niveles y 13bit (ver la Figura 2-2 y 2-3 ). El espacio de la Pila no forma parte de la memoria de datos ni de programa y el Puntero de Pila no puede ser leído ni escrito. El PC se introduce en la Pila cuando se ejecuta una instrucción CALL o se produce alguna interrupción. El PC se recupera de la Pila si se se ejecuta RETURN, RATLW o RETFIE. Las operaciones PUSH o POP no afectan al registro PCLATH.

La pila funciona como un buffer circular. Esto significa que después de que se ha empilado ocho veces, el noveno sobrescribe lo almacenado en primer lugar, el décimo sobrescribe el segundo y así sucesivamente.

**Nota**

- 1: No hay bits de estado para indicar desbordamiento de pila.
- 2: No hay instrucciones llamadas PUSH o POP. Son acciones que se realizan cuando se ejecutan las instrucciones CALL, RETURN, RETLW y RETFIE o cuando se produce un salto al vector de interrupción.

### 2.4. Direccionamiento Indirecto, registros INDF y FSR

El registro INDF no es un registro físico. El acceso a INDF produce el acceso indirecto al registro cuya dirección está almacenada en FSR. Cualquier instrucción mediante el registro INDF, realmente se produce sobre los datos a la que apunta el Registro de Selección de Archivo (FSR). Si se direcciona indirectamente el propio registro INDF su lectura sería 0x00 y la escritura no tendría efecto (Aunque los bits de estado pueden verse afectadas). La dirección efectiva de 9 bits se obtiene mediante la concatenación de los 8 bits del FSR y el bit IRP del registro STATUS, como se muestra en la Figura 2-8.

En el Ejemplo 2-1 se muestra un programa simple que borra las direcciones RAM 20h-2Fh utilizando direccionamiento indirecto.

#### EJEMPLO 2-1: DIRECCIONAMIENTO INDIRECTO

	MOVLW	0x20	;inicializa el puntero
	MOVWF	FSR	;al registro 20h
NEXT	CLRF	INDF	;borra el contenido
			;del registro INDF
	INCF	FSR	;inc. el puntero
	BTFSS	FSR,4	;¿he terminado?
	GOTO	NEXT	;no ir a NEXT
CONTINUE			

FIGURA 2-8: DIRECCIONAMIENTO DIRECTO E INDIRECTO PIC16F882/883/884/886/887

