

LOS PIC16F88X: LOS PUERTOS DE E/S

IES Juan de la Cierva



Aprendizaje de la Electrónica a través de la Robótica

PORTA

- Es un puerto bidireccional de 8 bits que permite el acceso a otras tanta patillas del microcontrolador PIC16F88X.
- Su registro de configuración recibe el nombre de TRISA y dependiendo del valor binario que en él se introduzca, así se comportarán las patillas del puerto:
 - Un bit a “1” configura la patilla correspondiente como entrada
 - Un bit a “0” configura la patilla correspondiente como salida.

Registro de PORTA (05h)

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0
bit7							bit 0

RA<7:0>: Nivel lógico en cada patilla de entrada salida

1: Patilla a nivel "1"

0: Patilla a nivel "0"

Registro de TRISA (85h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0
bit7							bit 0

TRISA<7:0>: Configuración individual para cada línea o patilla

1: La patilla se configura como entrada en alta impedancia

0: La patilla se configura como salida.

Registro de ANSEL(188h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0
bit7							bit 0
RE2/AN7	RE1/AN6	RE0/AN5	RA5/AN4	RA3/AN3	RA2/AN2	RA1/AN1	RA0/AN0

ANS<7:0>: Bit de selección de entradas analógicas

1: Patilla de entrada analógica

0: Patilla de E/S digital

Líneas del PORTA

Nombre de la patilla	Función	Descripción
RA0/AN0/ULPWU/C12N0	RA0	Línea de E/S de propósito general
	AN0	Canal 0 del convertidor A/D
	ULPWU	Entrada de Interrupción por detección de caída de tensión en la línea RA0 que permite despertar de un sleep (Wake-Up)
RA1/AN1/C12IN1-	RA1	Línea de E/S de propósito general
	AN1	Canal 1 del convertidor A/D
	C12IN1-	Entrada invertida 1 para los comparadores C1 o C2
RA2/AN2/VREF-/CVREF-/C2IN+	RA2	Línea de E/S de propósito general
	AN2	Canal 2 del convertidor A/D
	VREF-	Entrada de tensión de referencia negativa para el convertidor A/D
	CVREF-	Salida de tensión de referencia del comparador C2
	C2IN+	Entrada no invertida del comparador C2

Líneas del PORTA

Nombre de la patilla	Función	Descripción
RA3/AN3/VREF+/C1IN+	RA3	Línea de E/S de propósito general
	AN3	Canal 3 del convertidor A/D
	VREF+	Entrada de tensión de referencia positiva para el convertidor A/D
	C2IN+	Entrada no invertida del comparador C1
RA4/TOCKI/C1OUT	RA4	Línea de E/S de propósito general como salida hay que poner una resistencia de Pull-up
	TOCKI	Entrada de reloj externo para TMR0
	C1OUT	Salida del comparador C1
RA5/AN4/SS/C2OUT	RA5	Línea de E/S de propósito general
	AN4	Canal 4 del convertidor A/D
	/SS	Entrada selección de dispositivo esclavo SPI
	C2OUT	Salida del comparador C2

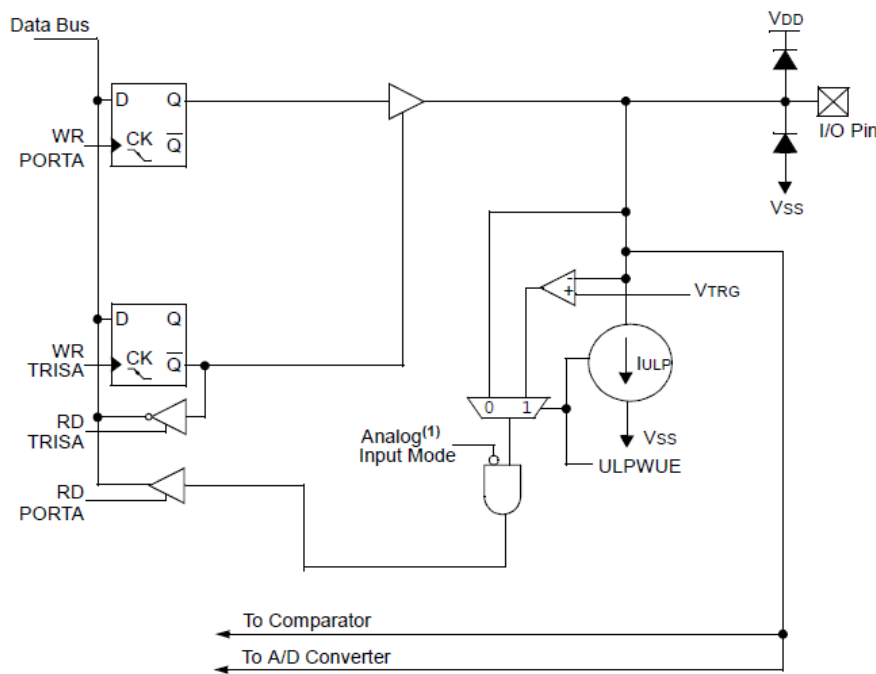
Líneas del PORTA

Nombre de la patilla	Función	Descripción
RA6/OSC2/CLKOUT	RA6	Línea de E/S de propósito general
	OSC2	Conexión con cristal de cuarzo o resonador
	CLOUT	Salida de frecuencia de trabajo ($F_{OSC}/4$)
RA7/OSC1/CLKIN	RA7	Línea de E/S de propósito general
	OSC1	Conexión con cristal de cuarzo o resonador
	CLKIN	Entrada de reloj externo o de oscilador RC

Secuencia de Inicialización del PORTA

```
clrf    PORTA           ;Limpia el PORTA
bsf     STATUS,RP0     ;
bsf     STATUS;RP1     ; Selecciona el Banco 3
clrf    ANSEL           ;el PORTA se selecciona como digital
bcf     STATUS,RP1     ;Selecciona el Banco 1
movlw   b'00001111'
movwf   TRISA           ;Configura RA<7:4> como salida y RA<3:0>
                           ;como entrada
bcf     STATUS,RP0     ;Selecciona el banco 0
```

Patilla RA0/AN0/ULPWU/C12IN0-



- Línea de entrada salida de propósito general
- Entrada analógica para el convertidor A/D
- Entrada invertida para los comparadores C1 y C2
- Entrada analógica de muy bajo consumo para la reanudación o Wake-Up de la ejecución

Patilla RA0/AN0/ULPWU/C12IN0-

- Esta patilla tiene la característica especial de provocar una interrupción y reanudar (Wake-up) así la ejecución del programa, cuando se detecta que la tensión desciende hasta los 0V.
- Para utilizar esta característica se le suele conectar externamente una red RC que inicialmente se carga con “1”. Según la constante de tiempo **RC** el condensador se va descargando hasta aproximarse a 0V, momento en el que se provoca la interrupción. Durante la descarga del condensador puede estar en el modo SLEEP.

Registro de PORTB (06h)

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0
bit7							bit 0

RB<7:0>: Nivel lógico en cada patilla de entrada salida

1: Patilla a nivel "1"

0: Patilla a nivel "0"

Registro de TRISB (86h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0
bit7							bit 0

TRISB<7:0>: Configuración individual para cada línea o patilla

1: La patilla se configura como entrada en alta impedancia

0: La patilla se configura como salida.

Registro de ANSELH(189h)

U-0	U-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
---	---	ANS13	ANS12	ANS11	ANS10	ANS9	ANS8
bit7							bit 0

ANS<5:0>: Bit de selección de entradas analógicas

1: Patilla de entrada analógica

0: Patilla de E/S digital

Líneas del PORTB

Nombre de la patilla	Función	Descripción
RB0/AN12/INT	RB0	Línea de E/S de propósito general
	AN12	Canal 12 del convertidor A/D
	INT	Entrada de Interrupción Externa
RB1/AN10/P1C/7C12IN3-	RB1	Línea de E/S de propósito general
	AN10	Canal 10 del convertidor A/D
	P1C	Salida C de la señal PWM (1)
	C12IN3-	Entrada invertida 33 para los comparadores C1 o C2
RB2/AN8/P1B	RB2	Línea de E/S de propósito general
	AN8	Canal 8 del convertidor A/D
	P1B	Salida B de la señal PWM (1)

(1) Estas líneas son solo para los micros de 28 pines 16F882/16F883 y16F886

Líneas del PORTB

Nombre de la patilla	Función	Descripción
RB3/AN9/PGM/C12IN2-	RB3	Línea de E/S de propósito general
	AN9	Canal 9 del convertidor A/D
	PGM	Habilitación de la grabación ICSP con bajo voltaje
	C12IN2-	Entrada invertida 2 para los comparadores C1 y C2
RB4/AN11/P1D	RB4	Línea de E/S de propósito general
	AN11	Canal 11 del convertidor A/D
	P1D	Salida D de la señal PWM (1)
RB5/AN13/T1G	RB5	Línea de E/S de propósito general
	AN13	Canal 13 del convertidor A/D
	T1G	Entrada de disparo para el Timer 1

(1) Estas líneas son solo para los micros de 28 pines 16F882/16F883 y 16F886

Líneas del PORTB

Nombre de la patilla	Función	Descripción
RB6/ICSPCLK	RB6	Línea de E/S de propósito general
	ICSPCLK	Reloj para grabación serie ICSP
RB7/ICSPDAT	RB7	Línea de E/S de propósito general
	ICSPDAT	E/S de datos en la grabación serie ICSP

- Cuando una patilla se configura como entrada analógica, automáticamente se desconectan todas las funcionalidades del circuito digital asociadas a esa patilla (cargas de pull-up, interrupción por cambio de estado). El correspondiente bit en el registro TRIS se configurará también como entrada.

Registro de WPUB (95h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
WPUB7	WPUB6	WPUB5	WPUB4	WPUB3	WPUB2	WPUB1	WPUB0
bit7							bit 0

WPUB<7:0>: Bits de activación de las resistencia de carga pull-up

1: Resistencia de carga activada

0: Resistencia de carga desactivada

Interrupción por cambio de nivel

- Cada una de las patillas del PORTB se puede configurar también como entrada de interrupciones, que ocurrirán cada vez que se produzca un cambio de nivel.
- Los bits del registro **IOCB** permiten activar o no esta posibilidad. Por defecto, tras la secuencia de encendido (**POR**) están deshabilitadas.
- En aquellas líneas de entrada que tengan activada esta interrupción, el valor lógico actual de sus patillas se compara con el valor que tenía.

Registro de IOCB(96h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IOCB7	IOCB76	IOCB5	IOCB4	IOCB3	IOCB2	IOCB1	IOCB0
bit7							bit 0

IOCB<7:0>: Bits de activación de las interrupciones por cambio de estado

1: Interrupción por cambio de estado activada

0: Interrupción por cambio de estado desactivada

Registro de PORTC (07h)

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0
bit7							bit 0

RC<7:0>: Nivel lógico en cada patilla de entrada salida

1: Patilla a nivel "1"

0: Patilla a nivel "0"

Registro de TRISC (87h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0
bit7							bit 0

TRISC<7:0>: Configuración individual para cada línea o patilla

1: La patilla se configura como entrada en alta impedancia

0: La patilla se configura como salida.

Líneas del PORTC

Nombre de la patilla	Función	Descripción
RC0/T1OSO/T1CKI	RB0	Línea de E/S de propósito general
	T1OSO	Salida del oscilador para el Timer1
	T1CKI	Entrada de reloj externo para el Timer1
RC1/T1OSI/CCP2	RC1	Línea de E/S de propósito general
	T1OSI	Entrada del oscilador para el Timer1
	CCP2	E/S para el módulo CCP2
RC2/P1A/CCP1	RC2	Línea de E/S de propósito general
	P1A	Salida A de la señal PWM
	CCP1	E/S para el módulo CCP1
RC3/SCK/SCL	RC3	Línea de E/S de propósito general
	SCK	Señal de reloj para el bus SPI
	SCL	Señal de reloj para el bus I2C

Líneas del PORTC

Nombre de la patilla	Función	Descripción
RC4/SDI/SDA	RC4	Línea de E/S de propósito general
	SDI	Entrada de datos en el bus SPI
	SDA	E/S de datos en el bus I2C
RC5/SDO	RC5	Línea de E/S de propósito general
	SDO	Salida de datos del bus SPI
RC6/TX/CK	RC6	Línea de E/S de propósito general
	TX	Transmisión asíncrona desde el USART
	CK	Reloj para el USART en modo síncrono
RC7/RX/DT	RC7	Línea de E/S de propósito general
	RX	Recepción asíncrona hacia el USART
	DT	Datos para el USART en modo síncrono

Registro de PORTD (08h)

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
bit7							bit 0

RD<7:0>: Nivel lógico en cada patilla de entrada salida

1: Patilla a nivel "1"

0: Patilla a nivel "0"

Registro de TRISD (88h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0
bit7							bit 0

TRISD<7:0>: Configuración individual para cada línea o patilla

1: La patilla se configura como entrada en alta impedancia

0: La patilla se configura como salida.

Registro de PSTRCON(9Dh)

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1
---	---	---	STRSYNC	STRD	STRC	STRB	STRA
bit7							bit 0

STRSYNC: Sincronismo de la señal PWM

- 1: La salida de la señal se sincroniza con el siguiente periodo de la señal PWM
- 0: La señal no se sincroniza

STRD: Habilidad de RD7/P1D

- 1: La señal PWM sale por la patilla RD7/P1D. La polaridad se establece mediante CCP1M<1:0>
- 0: La patilla RD7/P1D se comporta como línea de E/S de propósito general

Para los micros de 28 pines es la patilla RB4/P1D

Registro de PSTRCON(9Dh)

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1
---	---	---	STRSYNC	STRD	STRC	STRB	STRA
bit7							bit 0

STRC: Habilitación de RD6/P1C

1: La señal PWM sale por la patilla RD6/P1C. La polaridad se establece mediante CCP1M<1:0>

0: La patilla RD6/P1C se comporta como línea de E/S de propósito general

Para los micros de 28 pines es la patilla RB1/P1D

STRB: Habilitación de RD5/P1B

1: La señal PWM sale por la patilla RD5/P1B. La polaridad se establece mediante CCP1M<1:0>

0: La patilla RD5/P1B se comporta como línea de E/S de propósito general

Para los micros de 28 pines es la patilla RB2/P1D

STRA: Habilitación de RC2/P1A (por deecto)

1: La señal PWM sale por la patilla RC2/P1A. La polaridad se establece mediante CCP1M<1:0>

0: La patilla RC2/P1A se comporta como línea de E/S de propósito general

Líneas del PORTC

Nombre de la patilla	Función	Descripción
RD0	RD0	Línea de E/S de propósito general
RD1	RD1	Línea de E/S de propósito general
RD2	RD2	Línea de E/S de propósito general
RD3	RD3	Línea de E/S de propósito general
RD4	RD4	Línea de E/S de propósito general
RD5/P1B	RD5	Línea de E/S de propósito general
	P1B	Salida B de la señal PWM (1)
RD6/P1C	RD6	Línea de E/S de propósito general
	P1C	Salida D de la señal PWM (1)
RD7/P1D	RD7	Línea de E/S de propósito general
	P1D	Salida D de la señal PWM (1)

(1) Estas líneas son solo para los micros de 40 pines 16F884/16F887

Registro de PORTE (09h)

U-0	U-0	U-0	U-0	R-1	R/W-x	R/W-x	R/W-x
---	---	---	---	RE3	RE2	RE1	RE0
bit7							bit 0

RE<3:0>: Nivel lógico en cada patilla de entrada salida

1: Patilla a nivel "1"

0: Patilla a nivel "0"

Registro de TRISE (89h)

U-0	U-0	U-0	U-0	R/W-1	R/W-1	R/W-1	R/W-1
---	---	---	---	TRISE3	TRISE2	TRISE1	TRISE0
bit7							bit 0

TRISE<3:0>: Configuración individual para cada línea o patilla

1: La patilla se configura como entrada en alta impedancia

0: La patilla se configura como salida.

Líneas del PORTD

Nombre de la patilla	Función	Descripción
RE0/AN5	RE0	Línea de E/S de propósito general
	AN5	Canal 5 del convertido A/S
RE1/AN6	RD2	Línea de E/S de propósito general
	AN6	Canal 6 del convertido A/S
RE2/AN7	RD4	Línea de E/S de propósito general
		Canal 7 del convertido A/S
RE3/MCLR/Vpp	RE3	Línea de Entrada de propósito general, como salida no funciona
	MCLR	Entrada de RESET con resistencia de Pull-Up interna
	Vpp	Entrada de tensión de grabación

Centros participantes en el proyecto: “Aprendizaje de la Electrónica a través de la Robótica” 2009-2011



- IES Politécnico Jesús Marín (Málaga)
- IES Juan de la Cierva (Madrid)
- IES Luis de Lucena (Guadalajara)
- IES María Moliner (Segovia)
- IES Joan Miró (San Sebastián de los Reyes. Madrid)
- IES Virgen de las Nieves (Granada)
- IES Torreón del Alcázar (Ciudad Real)