

3 PUERTOS DE E/S

Hay tantos como 35 puertos de E/S de propósito general disponibles. Dependiendo de los periféricos que se habiliten, algunos o todos los pines pueden estar disponibles como E/S de propósito general. Cuando un periférico se habilita, el pin asociado no puede utilizarse como un pin de propósito general.

3.1 Los Registros PORTA y TRISA

El PORTA es un puerto de 8 bits bidireccionales. El registro de direccionamiento de datos correspondiente es el TRISA. Poniendo un bit del TRISA a “1” hará que los pines correspondientes del PORTA sean entradas. Poniendo un bit del TRISA a “0” hace que el bit correspondiente del PORTA sea una salida (es decir habilita el buffer de salida y pone los valores del latch de salida en el pin seleccionado). El ejemplo 3-1 muestra como inicializar el PORTA.

Leyendo el registro PORTA se lee el estado de los pines, considerando que escribir es hacerlo en el latch del puerto. Toda operación de escritura tiene que realizar las operaciones leer-modificar-escribir. Por consiguientes, escribir en un puerto implica que los pines del puerto se leen, este valor se modifica se escribe en el latch del PORT.

EL registro TRISA controla al PORTA y fijan el buffer de salida, incluso cuando este se esté utilizando como entrada analógica. Los pines de E/S configurado como entrada analógica se leen como “0”.

Nota.- El registro ANSEL debe inicializarse para configurar las entradas como analógicas o digitales. Los pines configurados como entradas analógicas se leerán como “0”.

Ejemplo 3-1 de configuración del PORTA

```
BANKSEL PORTA      ;
CLRF  PORTA        ;Init PORTA
BANKSEL ANSEL      ;
CLRF  ANSEL        ;digital I/O
BANKSEL TRISA      ;
MOVLW 0Ch          ;Set RA<3:2> as inputs
MOVWF TRISA        ;and set RA<5:4,1:0>
                   ;as outputs
```

REGISTRO PORTA (Dirección 05h)

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0
Bit 7							Bit 0

Leyenda:			
R= Lectura de un bit	W= Escritura de un bit	U= bit no implementado, se lee como "0"	
-n= Valor después POR	"1" = Bit a nivel alto	"0"= Bit a nivel bajo	x=Bit indiferente.

bit 7-0 RA<7:0>: bit de E/S del PORTA
1 = El pin del PORT es $>V_{IH}$
0 = El pin del PORT es $<V_{IL}$

REGISTRO TRISA (Dirección 85h)

R/W-1 ⁽¹⁾	R/W-1 ⁽¹⁾	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
TRISA7	TRISA 6	TRISA 5	TRISA 4	TRISA 3	TRISA 2	TRISA 1	TRISA 0
Bit 7							Bit 0

bit 7-0 TRISA<7:0>: bit de control del triestado del PORTA
1 = Configura el pin del PORTA como entrada (triestado)
0 = Configura el pin del PORTA como salida

Nota1: TRISA<7:6> se lee como "1" si el modo del oscilador es XT, HS o LP

3.2 Funciones adicionales del pin

RA0 también tiene la opción de despertar a ultra Low-Power. En las próximas secciones se describe esta función.

3.1.1 REGISTRO ANSEL

El registro ANSEL se utiliza para configurar el modo de la entrada de un pin de E/S como analógico. Poniendo el bit apropiado a nivel alto el pin se configura para leer como digital, si el bit se pone a "0" permite que las funciones analógicas funcionen correctamente. El estado de los bits del registro ANSEL no tienen ningún efecto sobre las salidas digitales. Un pin con el TRIS a "0" y el ANSEL a "1" no opera sobre la salida digital, pero en modo entrada, este será analógico. Esto puede causar conductas inesperadas cuando se realiza la lectura-modificación-escritura en las instrucciones del puerto afectado.

ANSEL REGISTRO DE SELECCIÓN ANALÓGICA (Dirección 188h)

R/W-1 ⁽¹⁾	R/W-1 ⁽¹⁾	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
ANS7 ⁽²⁾	ANS6 ⁽²⁾	ANS5 ⁽²⁾	ANS4	ANS3	ANS2	ANS1	ANS0
Bit 7							Bit 0

bit 7-0 ANS <7:0>: bit de selección analógicos

Selecciona entre función Analógica o digital los pines AN<7:0> respectivamente

1 = Entrada analógica. El pin se asigna como entrada analógica

0 = El pin se asigna como E/S digital o se su función especial

Nota.- (1): Poniendo el pin en entrada analógica automáticamente se desactiva la circuitería de entrada digital, el pull-up y la interrupción por cambio de nivel si está disponible. El bit TRIS correspondiente deponerse en modo entrada para permitir la entrada de tensión en el pin.

(2): No implementado en el PIC16F883/886..

3.2.2 Despertar ultra bajo consumo

El despertar de ultra-bajo consumo (ULPWU), con una lenta caída de tensión en RA0 permite una interrupción por un nivel bajo de tensión en la línea RA0. Este modo se selecciona poniendo el bit ULPWUE del registro PCON. Esto habilita un pequeño sumidero que puede usarse para descargar un condensador en RA0.

Siga los siguientes pasos para esta característica:

- Cargar el condensador en RA0 configurando el pin RA0 como salida (=1).
- Configura RA0 como entrada.
- Poner a uno el bit ULPWUIE del registro PIE2 para habilitar la interrupción por RA0.
- Pone a uno el bit ULPWUE del registro PCON para empezar la descarga del condensador.
- Ejecutar la instrucción sleep.

Cuando la tensión en RA0 cae por debajo de V_{IL} , se genera una interrupción que hará que el dispositivo despierte y se ejecuta la próxima instrucción. Si el bit GIE del registro INTCON está a "1", el dispositivo llamará al vector de interrupción (0004h).

Esta característica mantiene una técnica de bajo consumo despertándose el dispositivo del estado de sleep. El tiempo de descarga depende de la red RC en RA0. Ver el ejemplo 3-2 para iniciar el módulo de inicialización de bajo consumo.

Ejemplo 3-2 Inicialización del módulo de ultra bajo-consumo.

```

BANKSEL PORTA      ;
BSF    PORTA,0     ;Set RA0 data latch
BANKSEL ANSEL      ;
BCF    ANSEL,0     ;RA0 to digital I/O
BANKSEL TRISA      ;
BCF    TRISA,0     ;Output high to
CALL   CapDelay    ;charge capacitor
BANKSEL PIR2       ;
BCF    PIR2,ULPWUIF ;Clear flag
BANKSEL PCON
BSF    PCON,ULPWUE ;Enable ULP Wake-up
BSF    TRISA,0     ;RA0 to input
BSF    PIE2, ULPWUIE ;Enable interrupt
MOVLW  B'11000000' ;Enable peripheral
MOVWF  INTCON      ;interrupt
SLEEP                                     ;Wait for IOC
NOP                                         ;

```

La resistencia serie de la entrada RA0 y el condensador externo proporciona protección de sobrecorriente para el pin RA0/AN0/ULPWU/C12N0- y puede permitir calibrar por software el tiempo (ver figura 3-1). Puede usarse un cronometro para medir el tiempo de carga y descarga del condensador. EL tiempo de carga puede ajustarse para proporcionar el retardo de la interrupción deseado. Esta técnica puede ser afectada por la temperatura, el voltaje y la tolerancia del componente. El despertar del ultra bajo consumo con un simple detector de baja tensión o por un sensor de temperatura.

Nota.- Para más información mirar la aplicación AN879 “Usando el módulo de despertar el ultra bajo consumo” Nota de aplicación (DS00879).

3.2.3 Descripción de los pines y diagramas

Cada pin del PORTA está multiplexado con otras funciones. Se describen aquí brevemente los pines y sus funciones combinadas brevemente. Para la información específica sobre las funciones individuales como el comparador o conversor A/D, mirar a la sección correspondiente.

3.2.1.1 RA0/AN0/ULPWU/C12IN0-

La figura 3-1 muestra el diagrama para este pin. Este pin es configurable para realizar una de las siguientes funciones:

- E/S de propósito general
- Entrada analógica para el ADC
- Entrada analógica negativa para el Comparador C1 o C2
- Entrada analógica para el despertar de ultra-bajo consumo.

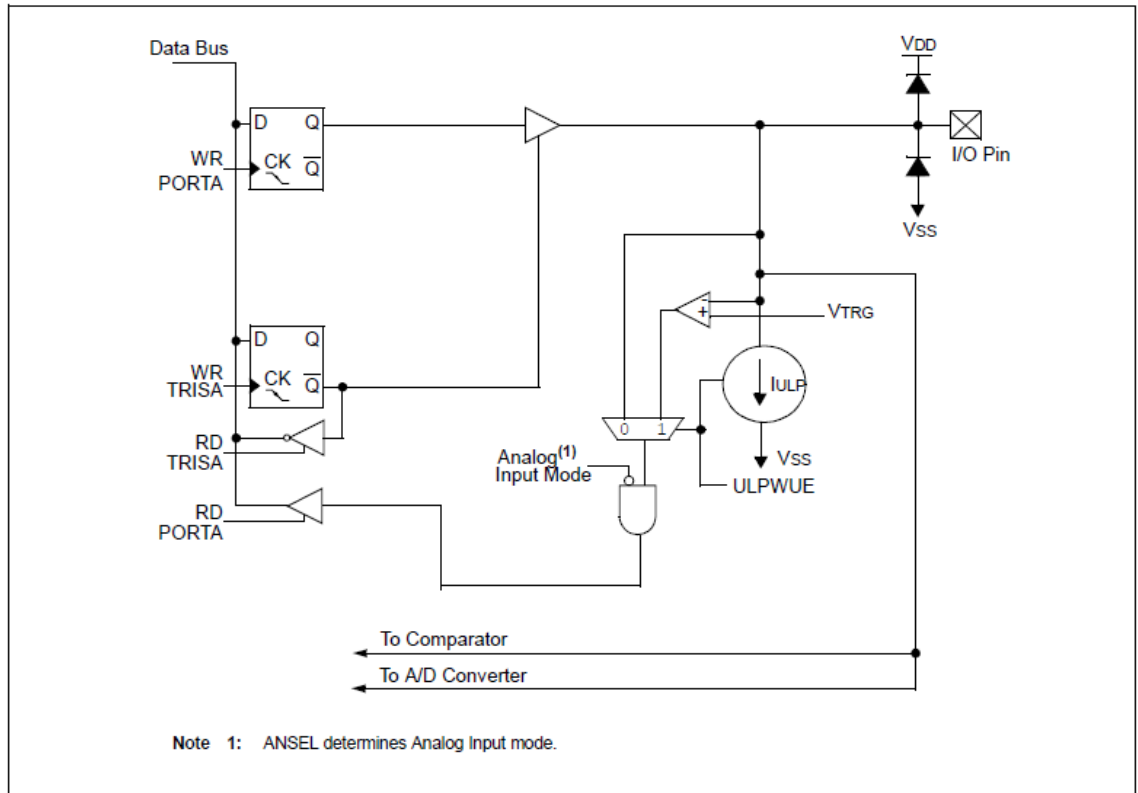


Figura 3. 1.- Diagrama de bloques de RA0

3.2.1.2 RA1/AN1/C12IN1 -

La figura 3-2 muestra el diagrama de este pin. Este pin es configurable para trabajar como

- E/S de propósito general
- Entrada analógica por el ADC
- Entrada analógica negativa para el comparador C1 o C2.

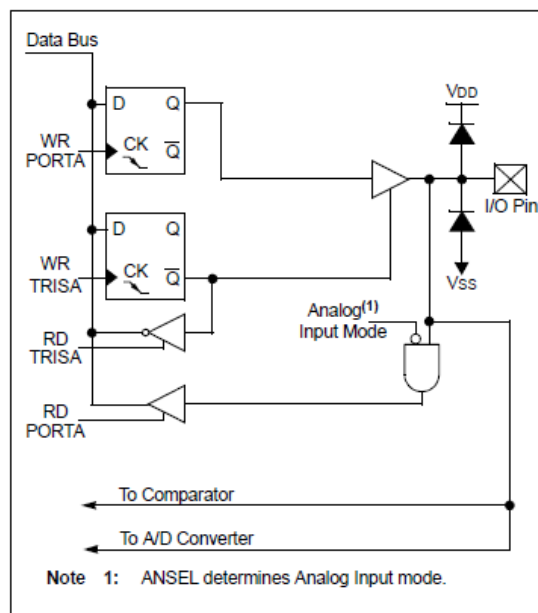


Figura 3. 2.- Diagrama de bloques de RA1

3.2.1.3 RA2/AN2/VREF-/CVREF/C2IN+

La figura 3.3 muestra el diagrama de bloques de este pin. Este pin es configurable para realizar una de las siguientes funciones:

- E/S de propósito general
- Entrada analógica para el ADC
- Entrada de tensión de referencia negativa VREF⁽⁻⁾ del ADC.
- Salida de tensión de referencia del comparador de tensión CVREF
- Entrada analógica positiva para el comparador C2.

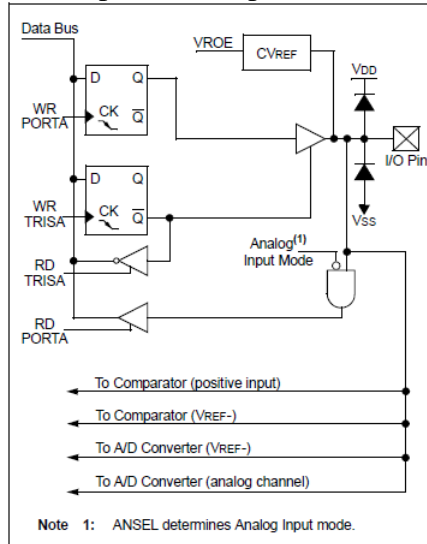


Figura 3. 3.- Diagrama de bloques de RA2.

3.2.1.4 RA3/AN3/VREF+/C1IN+

La figura 3.4 muestra el diagrama de bloques de este pin. Este pin es configurable para realizar una de las siguientes funciones:

- E/S de propósito general
- Entrada analógica para el ADC
- Entrada de tensión de referencia positiva CVREF⁽⁺⁾ del ADC.
- Entrada analógica positiva para el comparador C1

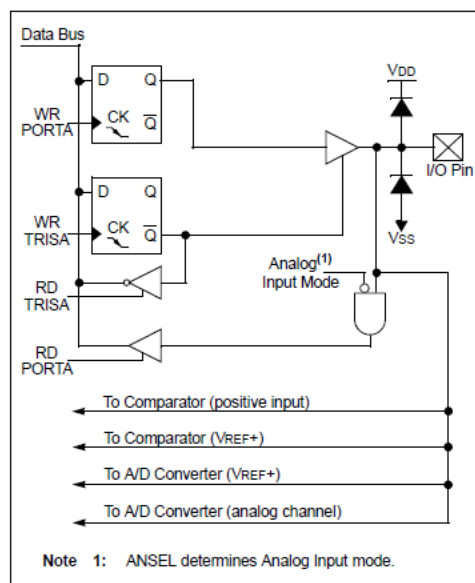


Figura 3. 4.- Diagrama de bloques del pin RA3

3.2.1.5 RA4/T0CKI/C1OUT

La figura 3.5 muestra el diagrama de bloques de este pin. Este pin es configurable para realizar una de las siguientes funciones:

- E/S de propósito general
- Entrada de reloj para el Timer0
- Salida digital del Comparador C1
- Entrada analógica positiva para el comparador C1

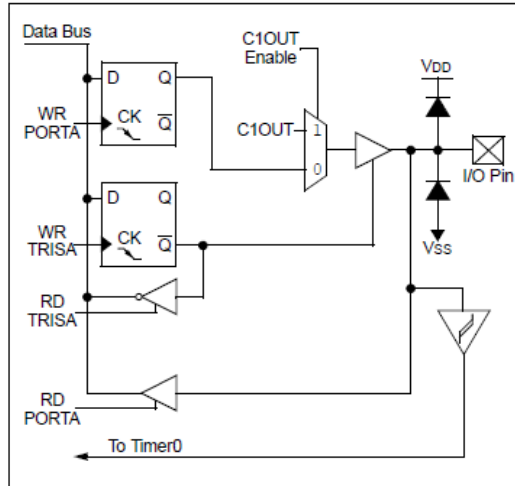


Figura 3. 5.- Diagrama de bloques del pin RA4

3.2.1.6 RA5/AN4/SS/C2OUT

La figura 3.6 muestra el diagrama de bloques de este pin. Este pin es configurable para realizar una de las siguientes funciones:

- E/S de propósito general
- Entrada analógica para el ADC
- Entrada de selección de esclavo
- Salida digital para el comparador C2

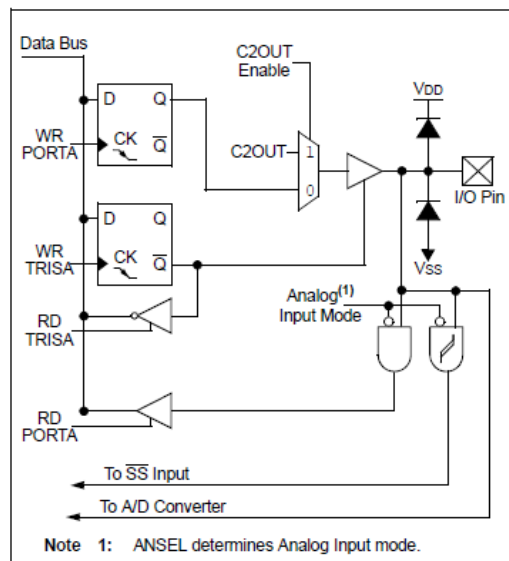


Figura 3. 6.- Diagrama de bloques del pin RA5

3.2.1.7 RA6/OSC2/CLKOUT

La figura 3.7 muestra el diagrama de bloques de este pin. Este pin es configurable para realizar una de las siguientes funciones:

- E/S de propósito general
- Conexión del cristal/resonador
- Salida del reloj

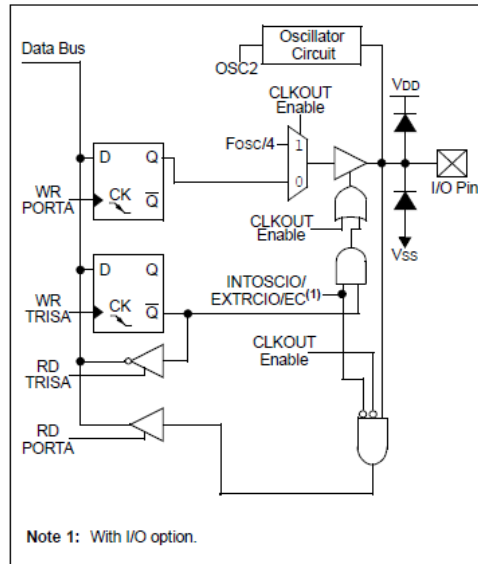


Figura 3. 7.- Diagrama de bloques del pin RA6

3.2.1.8 RA7/OSC1/CLKIN

La figura 3.8 muestra el diagrama de bloques de este pin. Este pin es configurable para realizar una de las siguientes funciones:

- E/S de propósito general
- Conexión del cristal/resonador
- Entrada del reloj

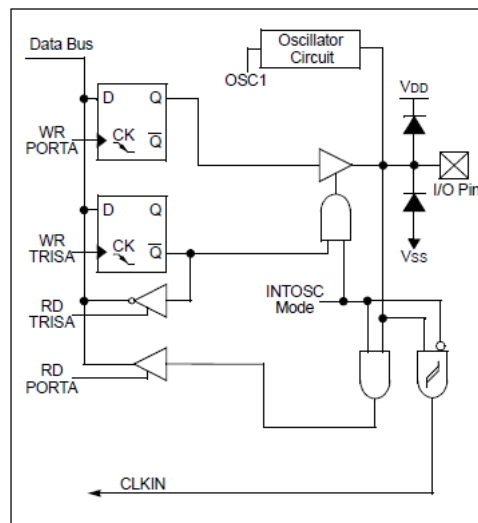


Figura 3. 8.- Diagrama de bloques del pin RA7

TABLE 3-1: SUMMARY OF REGISTERS ASSOCIATED WITH PORTA

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
ADCON0	ADCS1	ADCS0	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON	0000 0000	0000 0000
ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1R	C1CH1	C1CH0	0000 -000	0000 -000
CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2R	C2CH1	C2CH0	0000 -000	0000 -000
CM2CON1	MC1OUT	MC2OUT	C1RSEL	C2RSEL	—	—	T1GSS	C2SYNC	0000 --10	0000 --10
PCON	—	—	ULPWUE	SBOREN	—	—	POR	BOR	--01 --qq	--0u --uu
OPTION_REG	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
PORTA	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	xxxx xxxx	uuuu uuuu
SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	1111 1111	1111 1111

Legend: x = unknown, u = unchanged, - = unimplemented locations read as '0'. Shaded cells are not used by PORTA.

3.3 Registros PORTB y TRISB

El PORTB es un puerto de 8 bits bidireccional. EL registro de direccionamiento de datos correspondiente es el TRISB. Poniendo un bit de TRISB a “1” hará que las líneas correspondientes del PORTB sea una entrada (es decir, ponga el buffer de salida correspondiente en modo de alta impedancia). Si se pone a “0” un bit del TRISB, hará que la línea correspondiente del PORTB sea una salida (es decir, habilite el buffer como salida y ponga el contenido de la salida en el pin correspondiente).

El ejemplo 3.3 muestra como inicializar el PORTB.

Leyendo el registro PORTB se lee el estado de los pines, considerando que se escribe en el latch de salida del puerto. Toda operación de escritura tiene que realizar las operaciones leer-modificar-escribir. Por consiguientes, escribir en un puerto implica que los pines del puerto se leen, este valor se modifica y se escribe en el latch del PORTB.

Ejemplo 3.3 Inicialización del PORTB

```

BANKSEL PORTB      ;
CLRF   PORTB       ;Init PORTB
BANKSEL TRISB      ;
MOVLW  B'11110000' ;Set RB<7:4> as inputs
                          ;and RB<3:0> as outputs
MOVWF  TRISB       ;
    
```

Nota.- El registro ANSEL debe inicializarse para configurar las entradas como analógicas o digitales. Los pines configurados como entradas analógicas se leerán como “0”.

3.4 Funciones adicionales del PORTB

Los pines del PORTB RB<7:0> tienen la opción de interrupción por cambio de nivel y la opción de resistencia de pull-up. En los siguientes apartados se describen estas funciones.

Todos los pines del PORTB de esta familia de dispositivos, tiene la opción de interrupción por cambio de nivel y de resistencia de pull-up

3.2.4 REGISTRO ANSELH

El registro ANSELH se utiliza para configura los pines de E/S como entrada analógica. Poniendo el bit apropiado del ANSELH a nivel alto, la entrada digital se leerá como “0” y permite las funciones analógicas en el pin correspondiente.

El estado de los bits ANSEL no afectan a las funciones de salidas digitales. Un pin con TRIS a “0” y “1” en ANSELH trabaja como salida digital, pero en modo de entrada será analógico. Esto puede causar alguna conducta inesperada cuando se ejecuta instrucciones de leer-modificar-escribir en el puerto afectado.

3.2.5 Pull-up

Cada uno de los pines del PORTB puede configurarse individualmente una resistencia de pull-up. Los bits de control WPUB<7:0> habilitan o desactivan las resistencias de pull-up. Cada resistencia de pull-up se desactiva automáticamente cuando el pin del puerto se configura como salida. Todas las resistencias de pull-up se deshabilitan después de un Power-on Reset y el /RBPU del registro OPTION.

3.2.6 Interrupción por cambio de nivel

Todos los pines del PORTB cono configurables individualmente como un pin de interrupción por cambio de nivel. Los bits IOCB<7:0> de control de habilitación o desactivación de la interrupción de cada pin. La característica de interrupción por cambio de nivel se desactiva después de un Power-on Reset.

Para los pines con interrupción por cambio de nivel habilitada, el valor presente se compara con el valor del latch del último valor leído por el PORTB para determinar en qué momento se cambiado el último valor leído. Cuando no son iguales las salidas de los latch con los del PORTB, el flag RBIF del registro INTCON se activa.

Esta interrupción puede despertar al dispositivo de un sleep. El usuario limpia la interrupción si:

- 1 Se lee o escribe el PORTB. Esto acaba con la condición de desigualdad
- 2 Pone a cero el bit del flag RBIF.

La condición de desigualdad continuará poniendo el bit del flag RBIF.

Leyendo o escribiendo en el PORTB acabará con la condición de desigualdad y permitirán limpiar el bit RBIF. El latch que guarda el último valor leído no es afectado

por un MCLR ni por un Brown-out Reset. Después de estos tipos de reset el flag RBIF se activará si hay una desigualdad presente.

Nota.- Un cambio en un pin de E/S que ocurre cuando la operación de lectura se está ejecutando (en el segundo ciclo Q2), entonces el flag RBIF no puede ponerse a “1”. Además la lectura o escritura en un bit del puerto afecta a todo el puerto en ese momento, debe tenerse precaución al usar los pines múltiples en el modo de interrupción por cambio de nivel. Los cambios es un pin pueden no verse mientras se atiende a los cambios de otro pin.

ANSELH REGISTRO ALTO DE SELECCIÓN ANALÓGICA (Dirección 189h)

U-0	U-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	
—	—	ANS13 ⁽²⁾	ANS12	ANS11	ANS10	ANS9	ANS9	
Bit 7								Bit 0

bit 7-0 ANS <13:8>: bit de selección analógicos

Selecciona entre función Analógica o digital los pines AN<13:8> respectivamente

1 = Entrada analógica. El pin se asigna como entrada analógica

0 = El pin se asigna como E/S digital o se su función especial

Nota.- 1: Poniendo el pin en entrada analógica automáticamente se desactica la circuitería de entrada digital, el pull-up y la interrupción por cambio de nivel si está disponible. El bit TRIS correspondiente deponerse en modo entrada para permitir la entrada de tensión en el pin.

REGISTRO PORTB (Dirección 06h)

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	
RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	
Bit 7								Bit 0

Leyenda:

R= Lectura de un bit

W= Escritura de un bit

U= bit no implementado, se lee como “0”

-n= Valor después POR

“1” = Bit a nivel alto

“0”= Bit a nivel bajo

x=Bit indiferente.

bit 7-0 RB<7:0>: bit de E/S del PORTB

1 = El pin del PORT es >V_{IH}

0 = El pin del PORT es $<V_{IL}$

REGISTRO TRISB (Dirección 86h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
TRISB7	TRISB 6	TRISB 5	TRISB 4	TRISB 3	TRISB 2	TRISB 1	TRISB 0
Bit 7							Bit 0

bit 7-0 TRISB<7:0>: bit de control del triestado del PORTB

1 = Configura el pin del PORTB como entrada (triestado)

0 = Configura el pin del PORTB como salida

REGISTRO WPUB: Registro de Resistencia de WEAK PULL-UP (Dirección 95h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
WPUB7	WPUB6	WPUB5	WPUB4	WPUB3	WPUB2	WPUB1	WPUB0
Bit 7							Bit 0

bit 7-0 WPUB<7:0>: bit de control resistencia de Pull-Up

1 = Habilita Resistencia de Pull-Up

0 = Deshabilita Resistencia de Pull-Up

REGISTRO IOCB: Registro de Interrupción por cambio de nivel en el PORTB (Dirección 96h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
IOCB7	IOCB6	IOCB5	IOCB4	IOCB3	IOCB2	IOCB1	IOCB0
Bit 7							Bit 0

bit 7-0 IOCB <7:0>: bit de control de interrupción por cambio de nivel en el PORTB

1 = Habilita Interrupción por cambio de nivel en PORTB

0 = Deshabilita Interrupción por cambio de nivel en PORTB

3.2.7 DESCRIPCIONES DE LOS PINES Y DIAGRAMAS

Cada pin del PORTB se multiplexa con otras funciones. En este apartado se describen los pines y sus funciones combinadas de forma breve. Para más información específica sobre las funciones individuales con los SSP, I2C, etc., mirar la información correspondiente.

3.3.4.1 *RB0/AN12/INT*

La Figura 3.9 muestra el diagrama de bloques de este pin. Este pin es configurable para trabajar como:

- E/S de propósito general
- Entrada analógica para el convertidor A/D
- Entrada para interrupción externa por flanco activo.

3.4.4.2 *RB1/AN10/P1C⁽¹⁾/C12IN3*

La Figura 3.9 muestra el diagrama de bloques de este pin. Este pin es configurable para trabajar como:

- E/S de propósito general
- Entrada analógica para el convertidor A/D
- Una salida PWM⁽¹⁾
- Entrada analógica del Comparador C1 o C2

Nota.- PIC sólo está disponible para los PIC16F882/883/886.

3.4.4.3 *RB2/AN8/PIB⁽¹⁾*

La Figura 3.9 muestra el diagrama de bloques de este pin. Este pin es configurable para trabajar como:

- E/S de propósito general
- Entrada analógica para el convertidor A/D
- Una salida PWM⁽¹⁾

Nota.- PIB sólo está disponible para los PIC16F882/883/886.

3.4.4.4 *RB3/AN9/PGM/C12IN2*

La Figura 3.9 muestra el diagrama de bloques de este pin. Este pin es configurable para trabajar como:

- E/S de propósito general
- Entrada analógica para el convertidor A/D

- Pin de habilitación de programación serie de bajo voltaje en circuito.
- Entrada analógica del comparador C1 o C2.

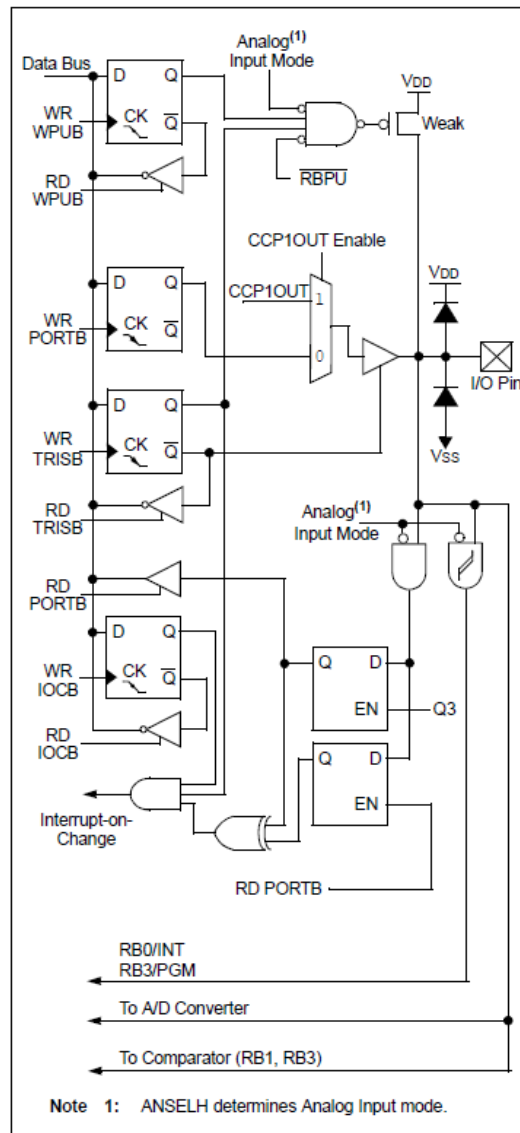


Figura 3. 9.- Diagrama de bloques de los pines RB0:RB3

3.4.4.5 *RB4/AN11/P1D(1)*

La Figura 3.10 muestra el diagrama de bloques de este pin. Este pin es configurable para trabajar como:

- E/S de propósito general
- Entrada analógica para el convertidor A/D
- Una salida PWM⁽¹⁾

Nota.- P1D sólo está disponible para los PIC16F882/883/886.

3.4.4.6 *RB5/AN13/T1G*

La Figura 3.10 muestra el diagrama de bloques de este pin. Este pin es configurable para trabajar como:

- E/S de propósito general
- Entrada analógica para el convertidor A/D
- Entrada de disparo del Timer1

3.4.4.7 *RB6/ICSPCLK*

La Figura 3.10 muestra el diagrama de bloques de este pin. Este pin es configurable para trabajar como:

- E/S de propósito general
- Reloj de la programación serie en circuito

3.4.4.8 *RB7/ICSPDAT*

La Figura 3.10 muestra el diagrama de bloques de este pin. Este pin es configurable para trabajar como:

- E/S de propósito general
- Datos de la programación serie en circuito.

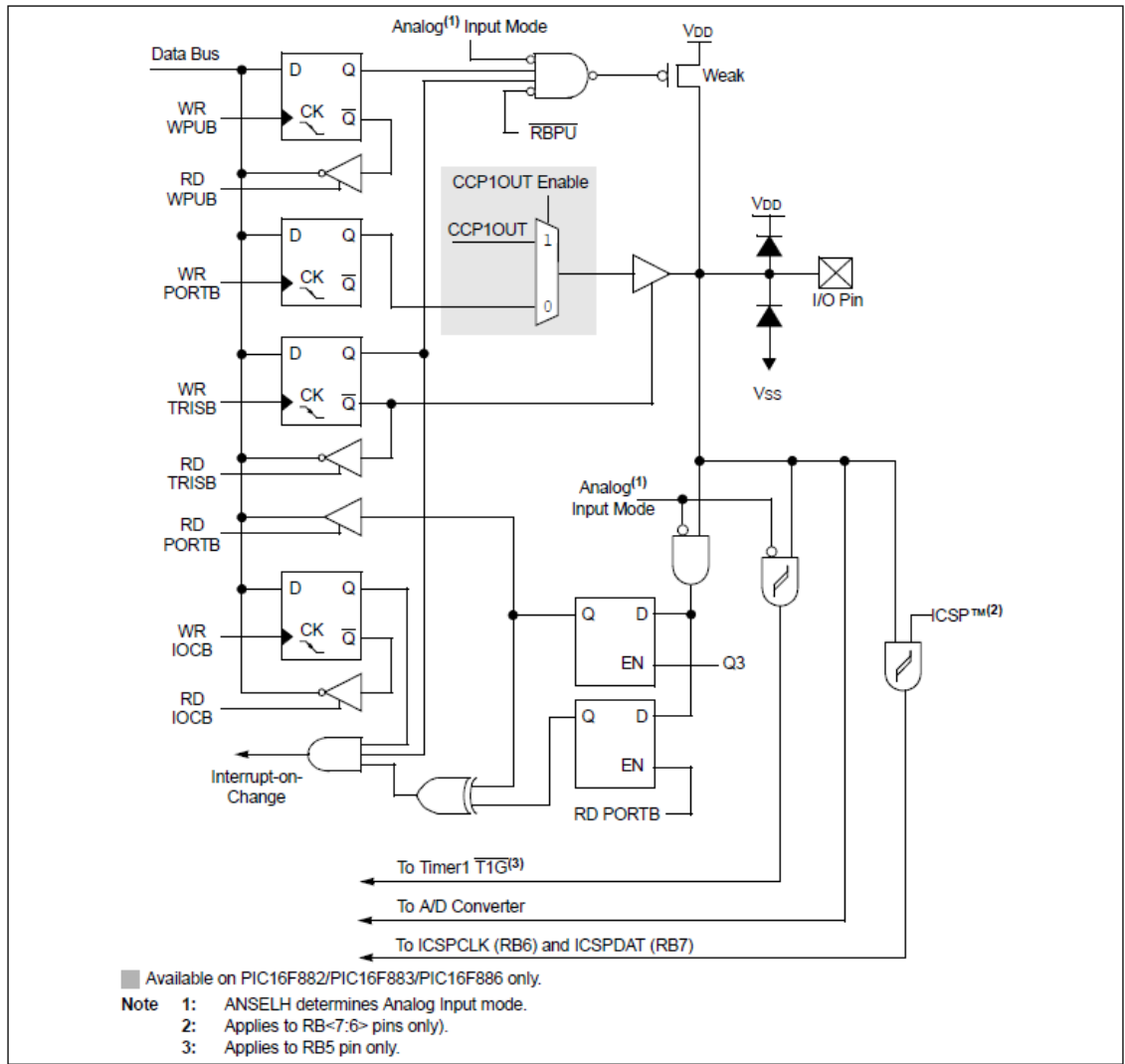


Figura 3. 10.- Diagrama de bloques pin <RB7:RB4>

TABLE 3-2: SUMMARY OF REGISTERS ASSOCIATED WITH PORTB

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
ANSELH	—	—	ANS13	ANS12	ANS11	ANS10	ANS9	ANS8	--11 1111	--11 1111
CCP1CON	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	0000 0000
CM2CON1	MC1OUT	MC2OUT	C1RSEL	C2RSEL	—	—	T1GSS	C2SYNC	0000 --10	0000 --10
IOCB	IOCB7	IOCB6	IOCB5	IOCB4	IOCB3	IOCB2	IOCB1	IOCB0	0000 0000	0000 0000
INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000x
OPTION_REG	RBPu	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	uuuu uuuu
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	1111 1111
WPUB	WPUB7	WPUB6	WPUB5	WPUB4	WPUB3	WPUB2	WPUB1	WPUB0	1111 1111	1111 1111

Legend: x = unknown, u = unchanged, - = unimplemented read as '0'. Shaded cells are not used by PORTB.

3.5 Los Registros PORTC y TRISC

El PORTC es un puerto de 8 bits bidireccionales. El registro de direccionamiento de datos correspondiente es el TRISC. Poniendo un bit del TRISC a “1” hará que los correspondientes pines del PORTC sean entradas (es decir, pone el buffer de salida correspondiente en modo de alta impedancia). Poniendo un bit del TRISC a “0” hace que el bit correspondiente del PORTC sea una salida (es decir, habilita el buffer de salida y pone los valores del latch en el pin de salida seleccionado).

El ejemplo 4-4 muestra cómo inicializar el PORTC. Leyendo el PORTC se lee el estado de los pines, teniendo en cuenta que al escribir se escribirán los latch del puerto. Toda operación de escritura tiene que realizar las operaciones leer-modificar-escribir. Por consiguientes, escribir en un puerto implica que los pines del puerto se leen, este valor se modifica se escribe en el latch del PORTC.

Ejemplo 3-4.- Configuración del PORTC

```
BANKSEL PORTC      ;
CLRF   PORTC       ;Init PORTC
BANKSEL TRISC      ;
MOVLW  B'00001100' ;Set RC<3:2> as inputs
MOVWF  TRISC       ;and set RC<7:4,1:0>
                          ;as outputs
```

El Registro TRISC controla el PORTC y fija el buffer de salida, incluso cuando este se esté usando como entrada analógica. El usuario debe asegurarse de los bits en el registro TRISC que se utilizan como entradas analógicas. Los pines de E/S configurados como entradas analógicas se leen como “0”.

REGISTRO PORTC (Dirección 07h)

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0
Bit 7							Bit 0

Leyenda:		
R= Lectura de un bit	W= Escritura de un bit	U= bit no implementado, se lee como “0”
-n= Valor después POR	“1” = Bit a nivel alto	“0”= Bit a nivel bajo x=Bit indiferente.

bit 7-0 RC<7:0>: bit de E/S del PORTC
 1 = El pin del PORT es >V_{IH}
 0 = El pin del PORT es <V_{IL}

REGISTRO TRISC (Dirección 87h)

R/W-x	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1 ⁽¹⁾	R/W-1 ⁽¹⁾
TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0
Bit 7							Bit 0

bit 7-0 TRISC<7:0>: bit de control del triestado del PORTC

1 = Configura el pin del PORTC como entrada (triestado)

0 = Configura el pin del PORTC como salida

Nota1: TRISC<1:0> se lee como "1" si el modo del oscilador es LP

3.5.1 RC0/T10S0/T1CK1

La figura 3-11 muestra el diagrama de para este pin. Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Salida del oscilador del Timer1
- Entrada de reloj del Timer1

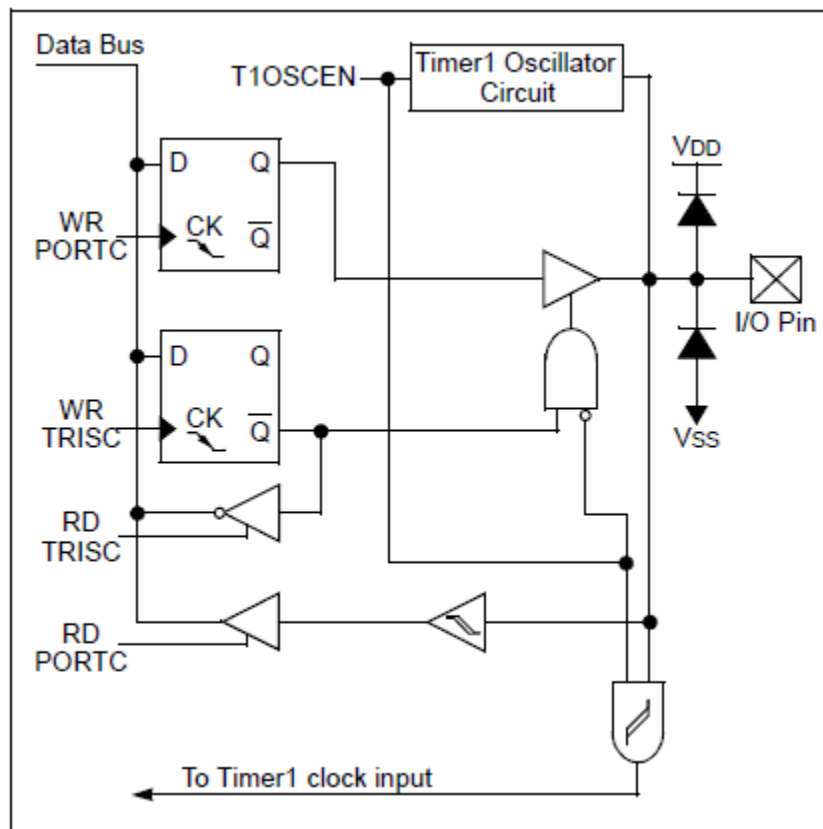


Figura 3.11.- Diagrama de bloques de RC0

3.5.2 RC1/T10SI/CCP2

La figura 3-12 muestra el diagrama de para este pin. Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Entrada de oscilador del TMR1
- Entrada de Captura y salida de Comparación/PWM para el Comparador C2

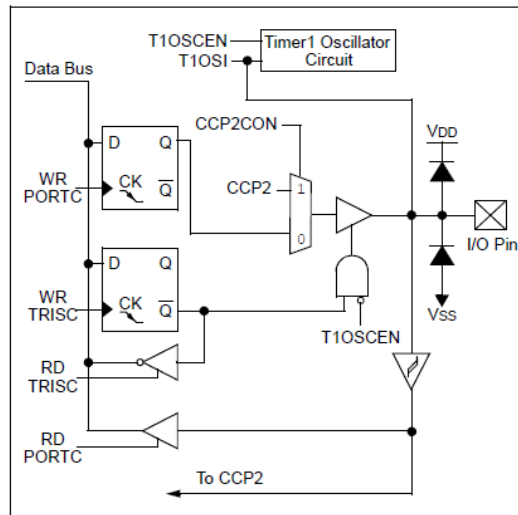


Figura 3-12.- Diagrama de bloques del RC1

3.5.3 RC2/P1A/CCP1

La figura 3-13 muestra el diagrama de para este pin. Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Salida PWM
- Entrada de Captura y salida de comparación para el Comparador C1

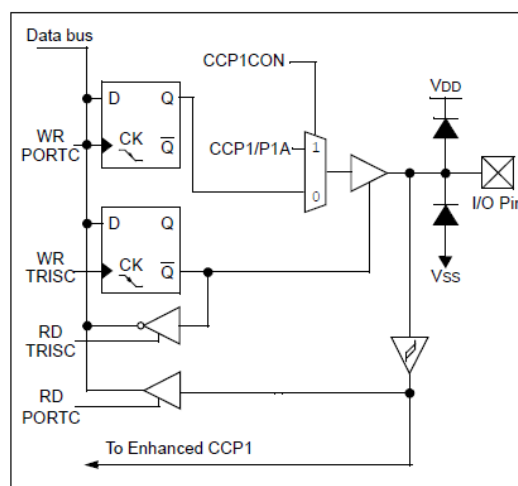


Figura 3-13.- Diagrama de bloques de RC2

3.5.4 RC3/SCK/SCL

La figura 3-14 muestra el diagrama de para este pin. Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Reloj del protocolo SPI
- Reloj del protocolo I2C

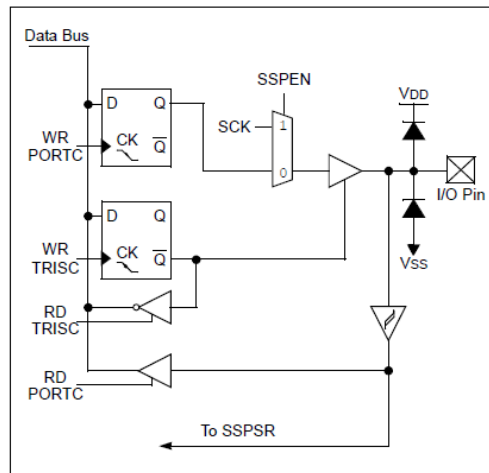


Figura 3-14.- Diagrama de bloques de RC3

3.5.5 RC4/SDI/SDA

La figura 3-15 muestra el diagrama de para este pin. Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Datos de E/S en el protocolo SPI
- Datos de E/S en el protocolo I2C

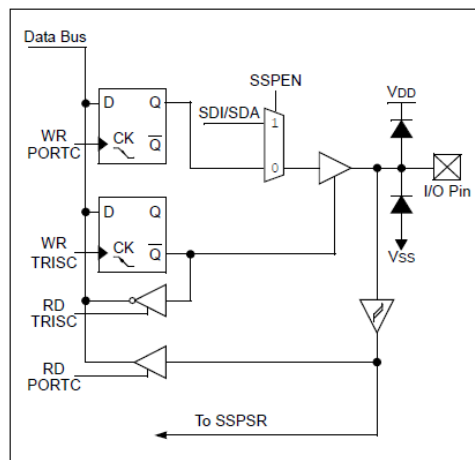


Figura 3-15.-Diagrama de bloques de RC4

3.5.6 RC5/SDO

La figura 3-16 muestra el diagrama de para este pin. Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Salida de datos serie

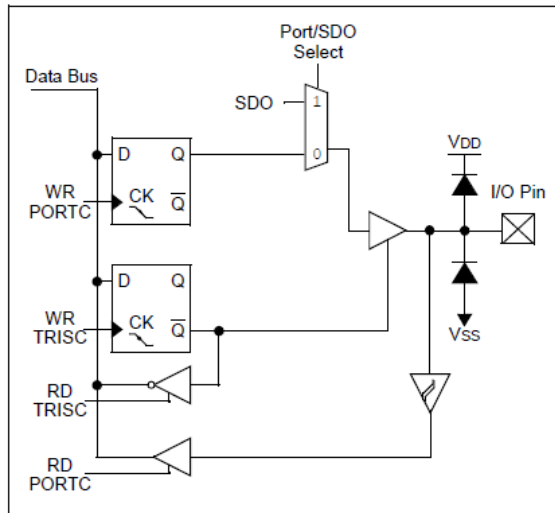


Figura 3-16.- Diagrama de bloques de RC5

3.5.7 RC6/CK

La figura 3-17 muestra el diagrama de para este pin. Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Salida de datos serie asíncrona
- E/S de reloj síncrono.

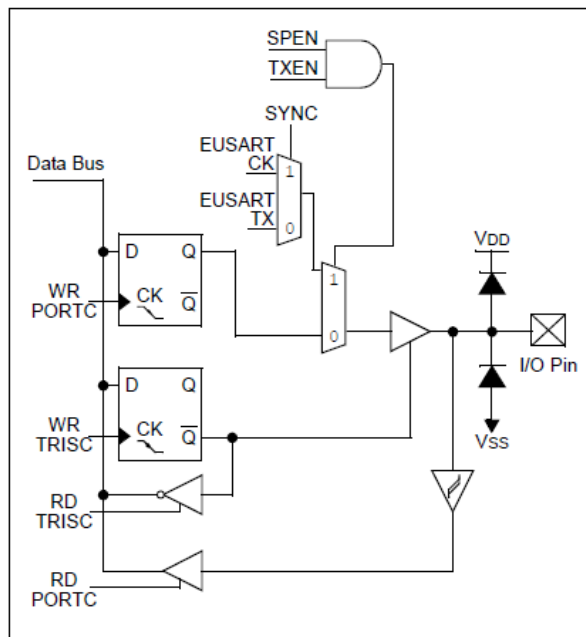


Figura 3-17.- Diagrama de bloques de RC6

3.5.8 RC7/RX/DT

La figura 3-18 muestra el diagrama de para este pin. Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Entrada de datos serie asíncrona
- E/S de datos síncronos.

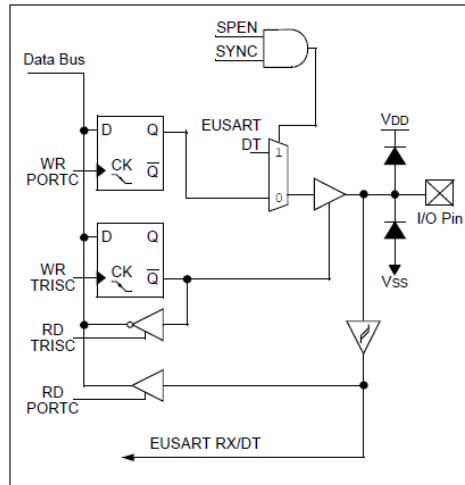


Figura 3-18.- Diagrama de bloques de RC7

TABLE 3-3: SUMMARY OF REGISTERS ASSOCIATED WITH PORTC

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
CCP1CON	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	0000 0000
CCP2CON	—	—	DC2B1	DC2B0	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000	--00 0000
PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
PSTRCON	—	—	—	STRSYNC	STRD	STRC	STRB	STRA	---0 0001	---0 0001
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNĀ	TMR1CS	TMR1ON	0000 0000	0000 0000
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111

Legend: x = unknown, u = unchanged, - = unimplemented locations read as '0'. Shaded cells are not used by PORTC.

3.6 Los Registros PORTD y TRISD

El PORTD es un puerto de 8 bits bidireccionales. El registro de direccionamiento de datos correspondiente es el TRISD. Poniendo un bit del TRISD a "1" hará que los pines correspondientes del PORTD sean 4 entradas (es decir, pone el buffer de salida correspondiente en modo de alta impedancia). Poniendo un bit del TRISD a "0" hace que el bit correspondiente del PORTD sea una salida (es decir habilita el buffer de salida y pone los valores del latch en el pin de salida seleccionado).

El ejemplo 3-5 muestra cómo inicializar PORTD. Leyendo el PORTD se lee el estado de los pines, teniendo en cuenta que al escribir se escribirán los latch del puerto. Toda operación de escritura tiene que realizar las operaciones leer-modificar-escribir. Por

consiguientes, escribir en un puerto implica que los pines del puerto se leen, este valor se modifica se escribe en el latch del PORT.

Nota 1: PORTD sólo está disponible en los PIC16F884/887.

El Registro TRISD controla el PORTD y fija el buffer de salida, incluso cuando este se esté usándose como entrada analógica. El usuario debe asegurarse de los bits en el registro TRISD que se utilizan como entradas analógicas. Los pines de E/S configurados como entradas analógicas se leen como “0”.

Ejemplo 3-5.- Inicialización del PORTD

```
BANKSEL PORTD      ;
CLRF    PORTD      ;Init PORTD
BANKSEL TRISD      ;
MOVLW   B'00001100' ;Set RD<3:2> as inputs
MOVWF   TRISD      ;and set RD<7:4,1:0>
                          ;as outputs
```

REGISTRO PORTD (Dirección 08h)

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
Bit 7				Bit 0			

Leyenda:			
R= Lectura de un bit	W= Escritura de un bit	U= bit no implementado, se lee como “0”	
-n= Valor después POR	“1” = Bit a nivel alto	“0”= Bit a nivel bajo	x=Bit indiferente.

bit 7-0 RD<7:0>: bit de E/S del PORTD
 1 = El pin del PORT es $>V_{IH}$
 0 = El pin del PORT es $<V_{IL}$

REGISTRO TRISD (Dirección 88h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD 2	TRISD1	TRISD0
Bit 7				Bit 0			

bit 7-0 TRISD<7:0>: bit de control del triestado del PORTD
 1 = Configura el pin del PORTD como entrada (triestado)
 0 = Configura el pin del PORTD como salida

3.6.1 RD<4:0>

La figura 3-19 muestra el diagrama de para este pin. Estos pines se configuran para realizar funciones de E/S de propósito general.

Nota : RD sólo está disponible en los PIC16F884/887.

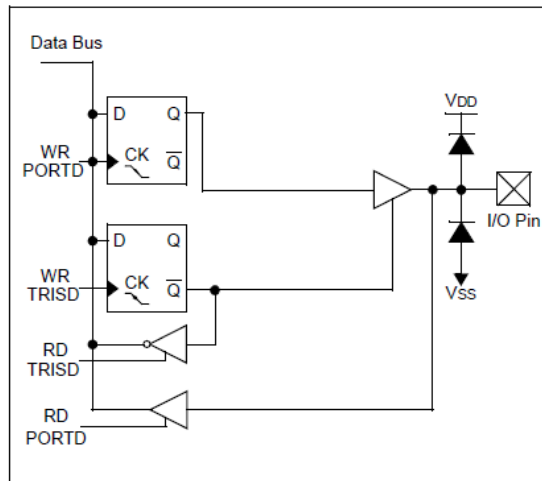


Figura 3-19.- Diagrama de bloques de RD<4:0>

3.6.2 RD5/P1B⁽¹⁾

La figura 3-20 muestra el diagrama de bloques para este pin. Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Salida PWM.

3.6.3 RD6/P1C⁽¹⁾

La figura 3-20 muestra el diagrama de bloques para este pin. Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Salida PWM.

Note 1: RD6/P1C sólo está disponible en PIC16F884/887. Vea RB1/AN10/P1C/C12IN3 - para esta función en PIC16F882/883/886.

3.6.4 RD7/P1D⁽¹⁾

La figura 3-20 muestra el diagrama de bloques para este pin. Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Salida PWM.

Note 1: RD7/P1D sólo está disponible en PIC16F884/887. Vea RA1/AN11/P1D para esta función en PIC16F882/883/886.

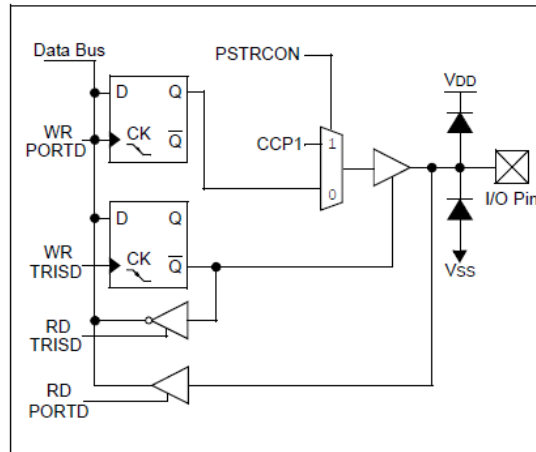


Figura 3-20.- Diagrama de bloque de los pines <RD7:5>

TABLE 3-4: SUMMARY OF REGISTERS ASSOCIATED WITH PORTD

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
PORTD	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	xxxx xxxx	uuuu uuuu
PSTRCON	—	—	—	STRSYNC	STRD	STRC	STRB	STRA	---0 0001	---0 0001
TRISD	TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0	1111 1111	1111 1111

Legend: x = unknown, u = unchanged, — = unimplemented locations read as '0'. Shaded cells are not used by PORTD.

3.7 Los Registros PORTE y TRISE

El PORTE es un puerto de 4 bits bidireccionales. El registro de direccionamiento de datos correspondiente es el TRISE. Poniendo un bit del TRISE a “1” hará que los correspondientes pines del PORTE sean entradas. (Es decir, pone el buffer de salida correspondiente en modo de alta impedancia). Poniendo un bit del TRISE a “0” hace que el bit correspondiente del PORTE sea una salida (es decir, habilita el buffer de salida y pone los valores del latch en el pin de salida seleccionado). La excepción es RE3 que solo puede ser entrada y su bit del registro TRIS siempre será “1”. El Ejemplo 3-6 muestra cómo inicializar el PORTE.

Ejemplo 3-6 Inicialización del PORTE

```

BANKSEL PORTE      ;
CLRF   PORTE      ;Init PORTE
BANKSEL ANSEL      ;
CLRF   ANSEL      ;digital I/O
BCF    STATUS,RP1 ;Bank 1
BANKSEL TRISE      ;
MOVLW  B'00001100' ;Set RE<3:2> as inputs
MOVWF  TRISE      ;and set RE<1:0>
                          ;as outputs
    
```

Leyendo el PORTE se lee el estado de los pines, teniendo en cuenta que al escribir se escribirán los latch del puerto. Toda operación de escritura tiene que realizar las operaciones leer-modificar-escribir. Por consiguientes, escribir en un puerto implica que los pines del puerto se leen, este valor se modifica se escribe en el latch del PORTE.

Leyendo el PORTE registran (Registro 3-13) lee el estado de los alfileres, considerando que escribiendo a él escribirán al pestillo del PUERTO. Todos escriben los funcionamientos son leer-modificar-escriba los funcionamientos. Por consiguiente, un escriba a un puerto implica que los alfileres del puerto se leen, este valor se modifica y entonces escrito al pestillo de datos de PUERTO. RE3 le lee 0 ' a ' cuando MCLRE = 1.

El Registro TRISE controla el PORTE y fija el buffer de salida, incluso cuando este se esté usándose como entrada analógica. El usuario debe asegurarse de los bits en el registro TRISE que se utilizan como entradas analógicas. Los pines de E/S configurados como entradas analógicas se leen como "0".

REGISTRO PORTE (Dirección 09h)

U-0	U-0	U-0	U-0	R-x	R/W-x	R/W-x	R/W-x
-	-	-	-	RE3	RE2	RE1	RE0
Bit 7				Bit 0			

Leyenda:		
R= Lectura de un bit	W= Escritura de un bit	U= bit no implementado, se lee como "0"
-n= Valor después POR	"1" = Bit a nivel alto	"0"= Bit a nivel bajo
		x=Bit indiferente.

bit 7-0 RE<3:0>: bit de E/S del PORTE
 1 = El pin del PORT es >V_{IH}
 0 = El pin del PORT es <V_{IL}

REGISTRO TRISE (Dirección 89h)

U-0	U-0	U-0	U-0	R-1 ⁽¹⁾	R/W-1	R/W-1 ⁽¹⁾	R/W-1 ⁽¹⁾
–	–	–	–	TRISE3	TRISE2	TRISE1	TRISE0
Bit 7							Bit 0

bit 3-0 TRISE<3:0>: bit de control del triestado del PORTE

1 = Configura el pin del PORTE como entrada (triestado)

0 = Configura el pin del PORTE como salida

Nota1: TRISE<3> se lee como “1”

3.7.1 RE0/AN5⁽¹⁾

Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Entrada analógica para el ADC

Nota 1.- RE0/AN5 está disponible solo en los PIC16F884/887

3.7.2 RE1/AN6⁽¹⁾

Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Entrada analógica para el ADC

Nota 1.- RE0/AN5 está disponible solo en los PIC16F884/887

3.7.3 RE1/AN6⁽¹⁾

Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Entrada analógica para el ADC

Nota 1.- RE1/AN6 está disponible solo en los PIC16F884/887

3.7.4 RE2/AN7⁽¹⁾

Este pin puede configurarse para realizar una de las siguientes funciones:

- E/S de propósito general
- Entrada analógica para el ADC

Nota 1.- RE2/AN7 está disponible solo en los PIC16F884/887

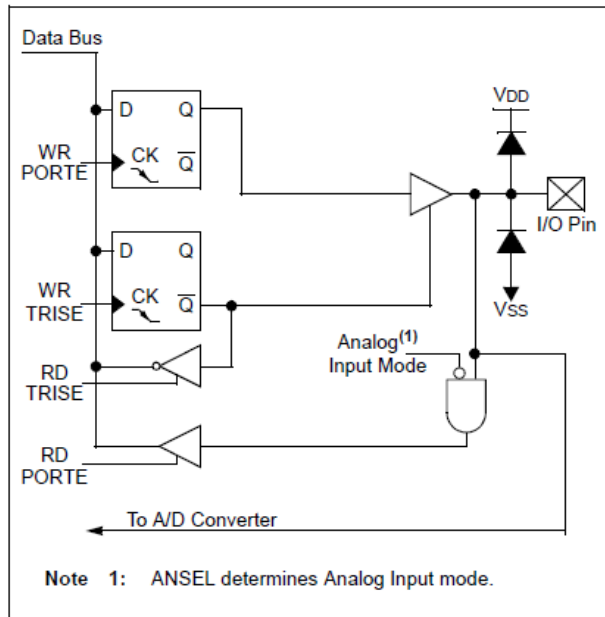


Figura 3-21.- Diagrama de bloques de RE<2:0>

3.7.5 RE3/AN7⁽¹⁾

La figura 3-22 muestra el diagrama de bloques de este pin. Este pin puede configurarse para realizar una de las siguientes funciones:

- Entrada de propósito general
- Como Reset Master Clear con resistencia de pull-up

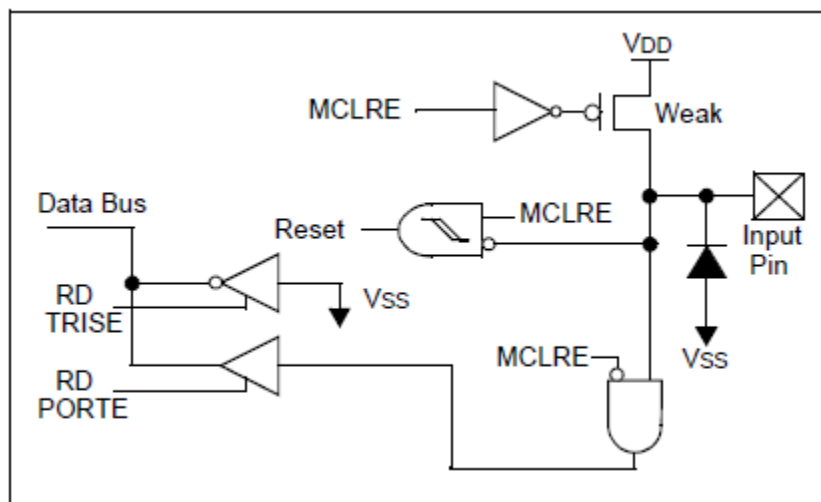


Figura 3-22. Diagrama de bloques de RE3.

TABLE 3-5: SUMMARY OF REGISTERS ASSOCIATED WITH PORTE

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
PORTE	—	—	—	—	RE3	RE2	RE1	RE0	---- xxxx	---- uuuu
TRISE	—	—	—	—	TRISE3	TRISE2	TRISE1	TRISE0	---- 1111	---- 1111

Legend: x = unknown, u = unchanged, — = unimplemented locations read as '0'. Shaded cells are not used by PORTE