

## 7 EL MODULO TMR2

El módulo TMR2 es un temporizador/contador de 8 bits con las siguientes características:

- Registro temporizador de 8 bits (TMR2)
- Registro de periodos de 8 bits (PR2)
- Interrupción en TMR2 al coincidir con PR2
- Preescaler programable por software (1:1, 1:4, 1:16)
- Postscaler programable por software (1:1 a 1:16)

El diagrama de bloques del Timer2 puede verse en la figura 7.1

### 7.1 Funcionamiento de Timer2

El reloj de entrada al Timer2, es el reloj de instrucciones del sistema (FOSC/4). El reloj alimenta al preescaler del Timer2 que tiene opciones de preescaler de 1:1, 1:4 o 1:16. La salida del preescaler se utiliza para incrementar el registro TMR2.

Constantemente se comparan los valores de TMR2 y PR2 para determinar cuando coinciden. TMR2 se incrementa desde 00h hasta que se hace igual a PR2. Cuando esto ocurre, pasan dos cosas:

- TMR2 se vuelve a cargar a 00h en el próximo incremento.
- El postscaler de Timer2 se incrementa.

Al coincidir los registros, el comparador de Timer2/PR2 incrementa entonces el postscaler de Timer2. El postscaler tiene las opciones de postscaler de 1:1 a 1:16 inclusive. La salida del postscaler de Timer2 se usa para poner a "1" el bit del flag de interrupción TMR2IF del registro PIR1.

Los registros TMR2 y PR2 pueden ser leídos y escritos. Después de cualquier Reset, el registro TMR2 se pone a 00h y el registro PR2 se pone a FFh.

El Timer2 se pone en marcha poniendo a "1" el bit TMR2ON del registro T2CON. El Timer2 se apaga al poner "0" en bit TMR2ON.

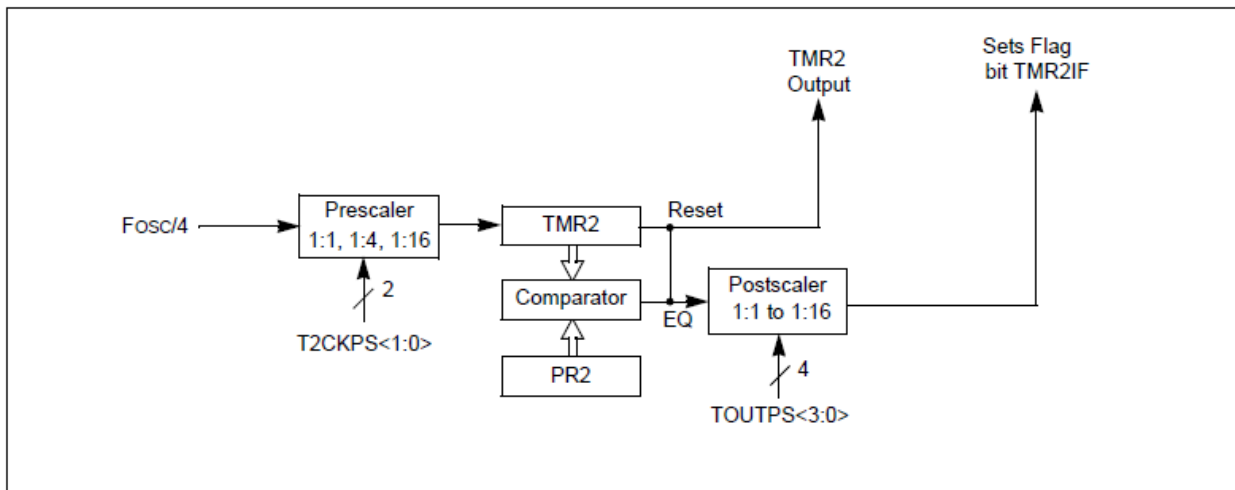
El preescaler del Timer2 se controla con los bits T2CKPS del registro T2COM. El postscaler de Timer2 se controla con los bits TOUTPS del registro T2CON.

Los contadores del preescaler y postscaler se limpian cuando:

- Se escribe en TMR2
- Se escribe en T2CON
- Cuando en el dispositivo ocurre cualquier Reset (Power-on Reset, MCLR Reset, Watchdog Timer Reset o Brown-out Reset).

Nota.- El TMR2 no se limpia cuando se escribe en el registro T2CON

Figura 7. 1.- Diagrama de bloques del TIMER2



**REGISTRO T2CON: REGISTRO DE CONTROL DEL TIMER2 (dirección 12h)**

U-0    R/W-0    R/W-0    R/W-0    R/W-0    R/W-0    R/W-0    R/W-0

---	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0
Bit 7							Bit 0

bit 7: **No implementado:** Se lee como 0

bit 6-3:**TOUTPS3:TOUTPS0:** bit de selección del rango del divisor del Postescaler para el **TIMER2**

- 0000 = Divisor del postescaler 1:1
- 0001 = Divisor del postescaler 1:2
- 0010 = Divisor del postescaler 1:3
- 0011 = Divisor del postescaler 1:4
- 0100 = Divisor del postescaler 1:5
- 0101 = Divisor del postescaler 1:6
- 0110 = Divisor del postescaler 1:7
- 0111 = Divisor del postescaler 1:8
- 1000 = Divisor del postescaler 1:9
- 1001 = Divisor del postescaler 1:10
- 1010 = Divisor del postescaler 1:11
- 1011 = Divisor del postescaler 1:12
- 1100 = Divisor del postescaler 1:13
- 1101 = Divisor del postescaler 1:14
- 1110 = Divisor del postescaler 1:15
- 1111 = Divisor del postescaler 1:16

bit 2: **TMR2ON:** bit de activación del TIMER2

- 1= TIMER2 en on.
- 0 = TIMER2 en off.

bit 1-2: **T2CKPS1:T2CKPS0** Selección del rango de divisor del Preescaler del TIMER2

- 00 = Divisor del Preescaler 1:1
- 01 = Divisor del Preescaler 1:4
- 1x = Divisor del Preescaler 1:16

**TABLE 7-1: SUMMARY OF ASSOCIATED TIMER2 REGISTERS**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
PR2	Timer2 Module Period Register								1111 1111	1111 1111
TMR2	Holding Register for the 8-bit TMR2 Register								0000 0000	0000 0000
T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000

Legend: x = unknown, u = unchanged, — = unimplemented read as '0'. Shaded cells are not used for Timer2 module.