

8.0. MÓDULO COMPARADOR

Los comparadores se utilizan para interconectar circuitos analógicos con un circuito digital mediante la comparación de dos señales analógicas y proporcionar una indicación digital de sus magnitudes relativas. Los comparadores son muy útiles para la construcción de bloques mixtos, ya que proporcionan una funcionalidad analógica independiente de la ejecución del programa. El módulo comparador analógico incluye las siguientes características:

- Control independiente del comparador
- Selección de entradas programable
- Salida del comparador interna o externa
- Polaridad de salida programable
- Interrupción por cambio del comparador
- Despertar del estado de reposo al dispositivo
- Deshabilitar la salida PWM (shutdown)
- Habilitar el conteo del Timer1 (gate)
- Salida sincronizada con el reloj del Timer1
- Báscula RS de salida
- Tensión de referencia programable y fija

Nota: Sólo el comparador C2 puede estar vinculado al Timer1.

8.1. Información general del comparador

En la Figura 8-1 se muestra un comparador simple, junto con la relación entre los niveles de entrada analógica y la salida digital. Cuando la tensión en VIN+ es menor que la de VIN-, la salida del comparador está en estado bajo. Cuando la tensión en VIN+ es mayor que la de VIN- la salida del comparador está en estado alto.

FIGURE 8-1: COMPARADOR SIMPLE

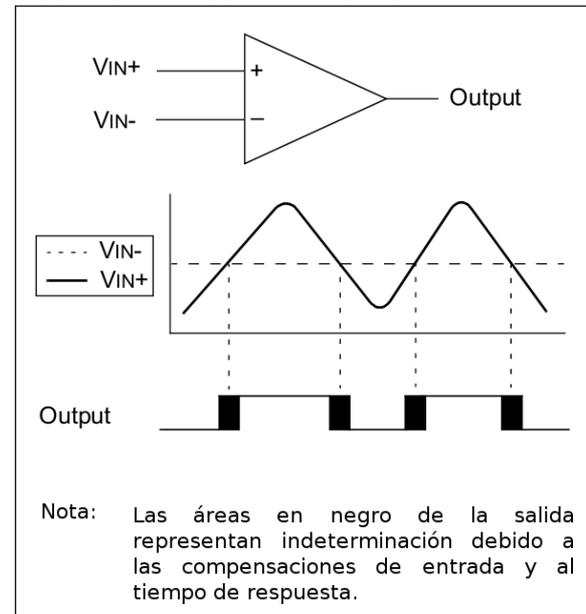


FIGURA 8-2 DIAGRAMA DE BLOQUES SIMPLIFICADO DEL COMPARADOR C1

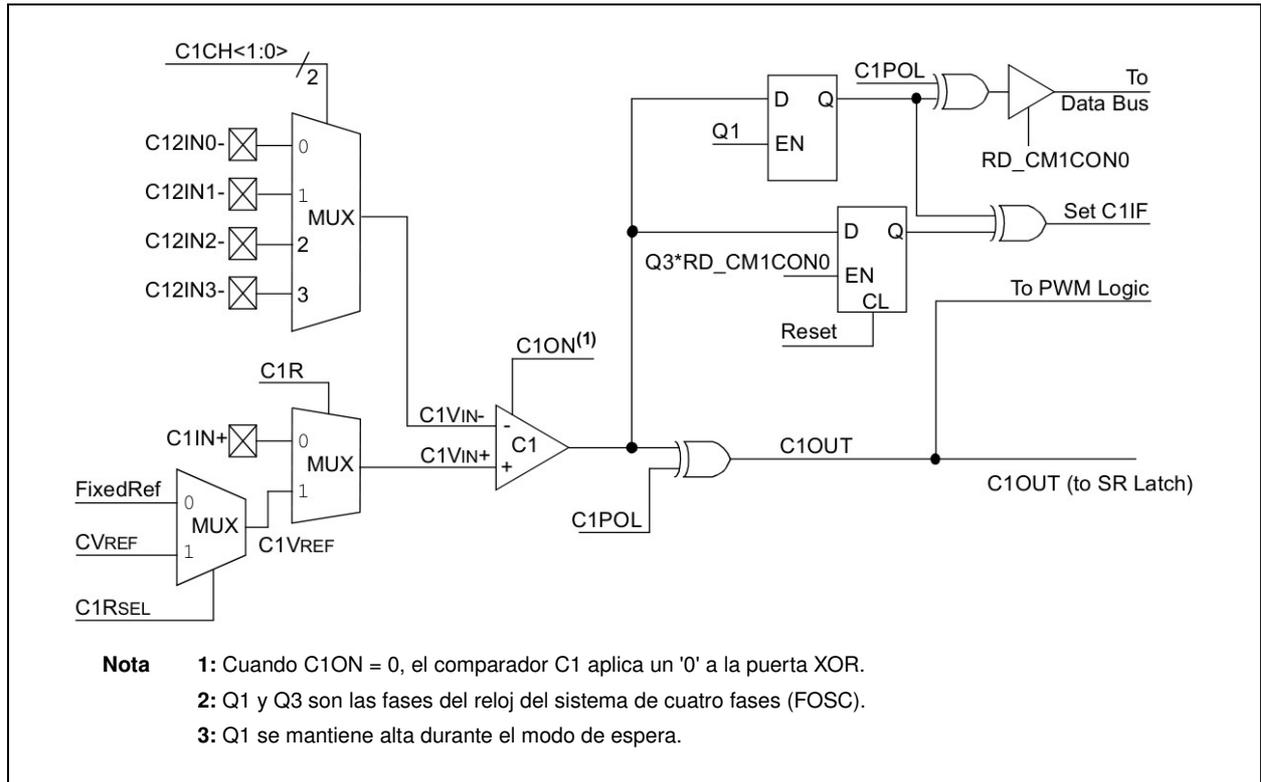
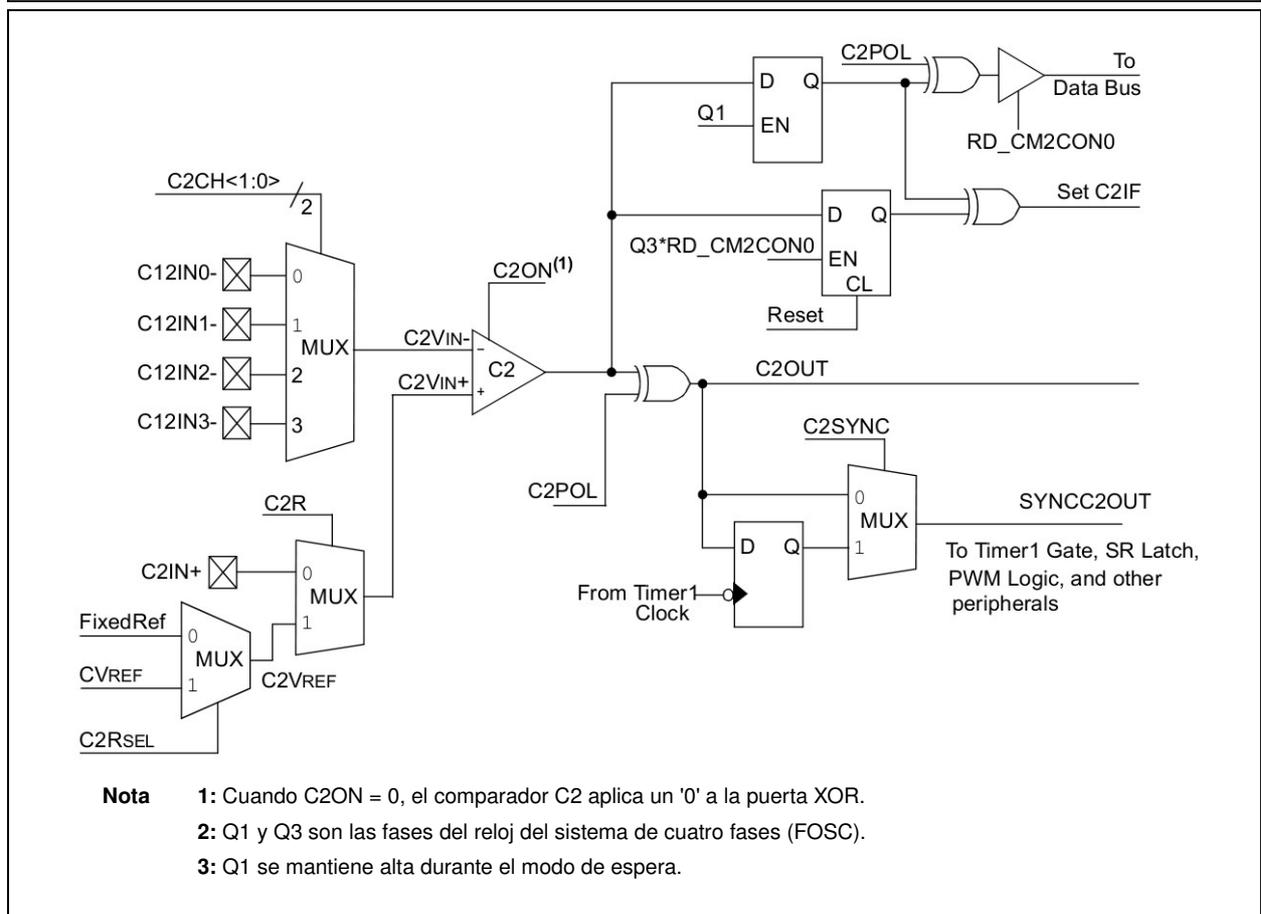


FIGURA 8-3 DIAGRAMA DE BLOQUES SIMPLIFICADO DEL COMPARADOR C2



8.2. Control del comparador

Cada comparador se controla por separado y tiene un registro de configuración distinto: CM1CON0 para el comparador C1 y CM2CON0 para el comparador C2. El comparador C2 tiene, además, un segundo registro de control, CM2CON1, para controlar la interacción con el Timer1 y la lectura simultánea de las dos salidas del comparador.

Los registros CM1CON0 y CM2CON0 (ver Reg 8-1 y 8-2 respectivamente) contienen bits de control y estado para lo siguiente:

- Habilitación
- Selección de entrada
- Selección de referencia
- Selección de salida
- Polaridad de salida

8.2.1. HABILITACIÓN DEL COMPARADOR

El bit CxON del registro CmxCON0, habilita al comparador. Borrando el bit CxON se deshabilita el comparador consiguiendo un consumo mínimo de corriente.

8.2.2. SELECCIÓN DE ENTRADA DEL COMPARADOR

Los bits CxCH<0:1> del registro CmxCON0 seleccionan uno de los cuatro pines de entrada para la entrada inversora del comparador.

Nota: Para utilizar los pines CxIN+ y CxIN- como entradas analógicas, hay que configurar los bits adecuados en los registros ANSEL y ANSELH, también se deben configurar los correspondientes bis TRIS para deshabilitar los controladores de salida.

8.2.3. SELECCIÓN DE LA REFERENCIA DEL COMPARADOR

El bit CxR selecciona si la entrada no inversora del comparador se conecta a una tensión de referencia interna o a una entrada analógica. Ver **sección 8.10 “Tensión de referencia del comparador”** para tener más información sobre el módulo de tensión de referencia interna.

8.2.4. SELECCIÓN DE LA SALIDA DEL COMPARADOR

La salida del comparador se puede controlar mediante la lectura del bit CxOUT del registro CMxCON0 o del bit MCxOUT del registro CM2CON1.

Para realizar la salida en una conexión externa se deben cumplir las siguientes condiciones:

- El bit CxOE debe estar a '1'
- El bit correspondiente de TRIS debe ser '0'
- El bit CxON del registro CmxCON0 debe estar a '1'

Nota: 1: El bit CxOE sobrescribe el tatch de

datos del PORT. La configuración de CxON no tiene influencia en el puerto.

2: La salida interna del comparador se almacena en un latch en cada ciclo de instrucción. A menos que se especifique lo contrario, las salidas externas no están “latcheadas”.

8.2.5. POLARIDAD DE SALIDA DEL COMPARADOR

Invertir la salida del comparador es funcionalmente equivalente a intercambiar las entradas del comparador. La polaridad de salida del comparador se puede invertir configurando el bit CxPOL del registro CmxCON0. Con CxPOL a cero no se invierte la salida.

En la Tabla 8-1 se muestra el estado de salida en relación con las condiciones de entrada, incluido el control de polaridad.

TABLA 8-1: SALIDA DEL COMPARADOR VERSUS CONDICIONES DE ENTRADA

Input Condition	CxPOL	CxOUT
CxVIN- > CxVIN+	0	0
CxVIN- < CxVIN+	0	1
CxVIN- > CxVIN+	1	1
CxVIN- < CxVIN+	1	0

8.3. Tiempo de respuesta del comparador

La salida del comparador es indeterminada durante un periodo de tiempo después de un cambio en una entrada o la selección de un voltaje de referencia nuevo. Este periodo es el llamado tiempo de respuesta. El tiempo de respuesta del comparador es distinto del tiempo de establecimiento de la tensión de referencia.

Por lo tanto, se deben considerar ambos tiempos cuando se determina el tiempo de respuesta total a un cambio en la entrada del comparador. Para más detalles ver las especificaciones del comparador y la tensión de referencia en la **sección 17.0 “Especificaciones eléctricas”**.

8.4. Funcionamiento de la Interrupción del comparador

La bandera de interrupción de comparación se puede establecer cuando se produzca un cambio en el valor de la salida del comparador. Los cambios son reconocidos por medio de un circuito que consta de dos latches y una puerta or-exclusiva (ver Figura 8-2 y 8-3). Uno de los latch se actualiza cuando se lee el nivel de salida del comparador del registro CMxCON0. Este latch mantiene el valor hasta la siguiente lectura del registro CMxCON0 o un reinicio. El otro latch del circuito se actualiza con la fase Q1 del reloj del sistema. Cuando se registra, a través del segundo comparador, se produce una discordancia entre los estados de los dos latches. En este caso los dos latches tienen estados opuestos que son detectados por la puerta or-exclusiva que envía el resultado a la circuitería de control de interrupciones (Set CxIF). La discordancia persiste hasta que el registro CMxCON0 se lee o la salida del comparador vuelve al estado anterior.

Nota

1: Una operación de escritura en el registro CMxCON0 también elimina la discordancia, porque todas las escrituras incluyen una operación de lectura en el inicio del ciclo de escritura.

2: La interrupción del comparador funcionará correctamente sin importar el estado de CxOE.

La interrupción del comparador cambia por flanco de la discordancia y no por nivel. Esto significa que el flag de interrupción se puede restablecer sin necesidad de leer o escribir el registro CMxCON0 para borrar los registros de discordancia. Después de borrar los registros de discordancia, solo se producirá una interrupción si el comparador regresa a su estado anterior, de lo contrario no se generará interrupción.

Es necesario examinar el registro CmxCON0 o CM2CON1 para determinar el cambio real que se ha producido.

El flag de interrupción del comparador es el bit CxIF del registro PIR2. Este bit debe ser borrado por software. Puesto que también es posible escribir un '1' en este registro, se puede generar una interrupción.

Para habilitar la interrupción del comparador deben configurarse los bits CxIE del registro PIE2 y, PEIE y GIE del registro INTCON. Si alguno de estos bits está a '0' la interrupción está deshabilitada, pero si se produce una condición de interrupción el bit CxIF del registro PIR2 se activará.

FIGURA 8-4 CRONOGRAMA DE INTERRUPCIÓN DEL COMPARADOR SIN LEER CMxCON0

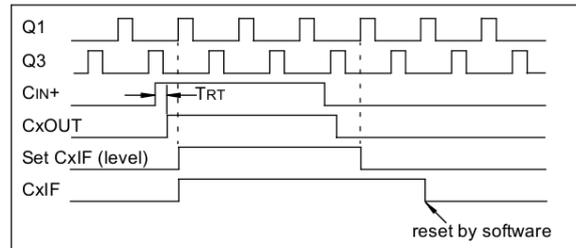
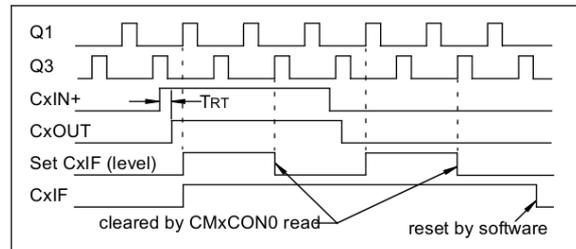


FIGURA 8-5: CRONOGRAMA DE INTERRUPCIÓN DEL COMPARADOR LEYENDO CMxCON0



Nota

1: Si se produce un cambio en el registro CmxCON0 (CxOUT) cuando se está ejecutando una operación de lectura (iniciada en el ciclo Q2) no se activará el flag CxIF del registro PIR2.

2: Cuando cualquier comparador se habilita por primera vez, su salida puede tener un valor erróneo hasta que los circuitos de polarización estén estables. Hay que esperar aproximadamente 1 μ s para que se establezca polarización y, a continuación, eliminar la condición de discordancia y las banderas de interrupción antes de habilitar las interrupciones del comparador.

8.5. Operación durante el estado de reposo

Si el comparador estaba habilitado antes de la entrada en estado de reposo, permanecerá activo. El consumo adicional de corriente del comparador se muestra, por separado, en la sección **17.0 “Especificaciones eléctricas”**. Si el comparador no se utiliza para despertar al dispositivo, el consumo se puede reducir, durante el modo de reposo, apagando el convertidor. El convertidor se apaga borrando el bit CxON del registro CmxCON0. Un cambio de la salida del comparador puede sacar al dispositivo del estado de reposo. Para habilitar al comparador para que despierte al dispositivo, se deben configurar los bits CxIE del registro PIE2 y PEIE del registro INTCON. La instrucción que sigue a la instrucción Sleep siempre se ejecuta al salir del modo de reposo. Si está habilitado el bit GIE del registro INTCON, el dispositivo ejecuta la rutina de servicio de interrupciones.

8.6. Efectos de un Reset

Un reset del dispositivo fuerza a los registros CmxCON0 y CmxCON1 a su estado de Reset. Esto obliga a apagarse a los comparadores y a las tensiones de referencia.

REG 8-1: CM1CON0: REGISTRO 0 DE CONTROL DEL COMPARADOR C1

R/W-0	R-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
C1ON	C1OUT	C1OE	C1POL	---	C1R	C1CH1	C1CH0
Bit 7							Bit 0

Leyenda:
R = Se puede leer W = Se puede escribir U = Bit no implementado si se lee es '0'
-n = Valor después del encendido (POR) '1' = El bit está a 1 '0' = El bit está a 0 x = Valor desconocido

- bit 7 **C1ON:** Bit de habilitación del comparador C1
 1 = El comparador C1 está habilitado
 0 = El comparador C1 está deshabilitado
- bit 6 **C1OUT:** Bit de salida del comparador C1
 Si C1POL = 1 (salida del comparador está invertida)
 C1OUT = 0 cuando C1VIN+ > C1VIN-
 C1OUT = 1 cuando C1VIN+ < C1VIN-
 Si C1POL = 0 (salida del comparador no está invertida)
 C1OUT = 1 cuando C1VIN+ > C1VIN-
 C1OUT = 0 cuando C1VIN+ < C1VIN-
- bit 5 **C1OE:** Bit de habilitación de salida del comparador C1
 1 = C1OUT está conectada al pin C1OUT ⁽¹⁾
 0 = C1OUT se utiliza internamente
- bit 4 **C1POL:** Bit de selección de polaridad de salida del comparador C1
 1 = C1OUT está invertida
 0 = C1OUT no está invertida
- bit 3 **Sin implementar**, se lee como '0'
- bit 2 **C1R:** Bit de selección de la fuente de tensión de referencia del comparador C1 (entrada no inversora)
 1 = C1VIN+ está conectada a la tensión de referencia C1VREF
 0 = C1VIN+ está conectada al pin C1IN+
- bit 1-0 **C1CH<1:0>:** Bits de selección de canal del comparador C1
 00 = Entrada C1VIN- está conectada al pin C12IN0-
 01 = Entrada C1VIN- está conectada al pin C12IN1-
 10 = Entrada C1VIN- está conectada al pin C12IN2-
 11 = Entrada C1VIN- está conectada al pin C12IN3-

Nota 1: Para que la salida del comparador aparezca en el pin es necesario que se cumplan tres condiciones:
C1OE = 1, C1ON = 1 y el bit correspondiente del puerto configurado como salida (TRIS bit = 0)

REG 8-2: CM2CON0: REGISTRO 0 DE CONTROL DEL COMPARADOR C2

R/W-0	R-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
C2ON	C2OUT	C2OE	C2POL	---	C2R	C2CH1	C2CH0
Bit 7							Bit 0

Leyenda:
 R = Se puede leer W = Se puede escribir U = Bit no implementado si se lee es '0'
 -n = Valor después del encendido (POR) '1' = El bit está a 1 '0' = El bit está a 0 x = Valor desconocido

- bit 7 **C2ON:** Bit de habilitación del comparador C2
 1 = El comparador C2 está habilitado
 0 = El comparador C2 está deshabilitado
- bit 6 **C2OUT:** Bit de salida del comparador C2
 Si C2POL = 1 (salida del comparador está invertida)
 C2OUT = 0 cuando C2VIN+ > C2VIN-
 C2OUT = 1 cuando C2VIN+ < C2VIN-
 Si C2POL = 0 (salida del comparador no está invertida)
 C2OUT = 1 cuando C2VIN+ > C2VIN-
 C2OUT = 0 cuando C2VIN+ < C2VIN-
- bit 5 **C2OE:** Bit de habilitación de salida del comparador C2
 1 = C2OUT está conectada al pin C2OUT ⁽¹⁾
 0 = C2OUT se utiliza internamente
- bit 4 **C2POL:** Bit de selección de polaridad de salida del comparador C2
 1 = C2OUT está invertida
 0 = C2OUT no está invertida
- bit 3 **Sin implementar**, se lee como '0'
- bit 2 **C2R:** Bit de selección de la fuente de tensión de referencia del comparador C2 (entrada no inversora)
 1 = C2VIN+ está conectada a la tensión de referencia C2VREF
 0 = C2VIN+ está conectada al pin C2IN+
- bit 1-0 **C2CH<1:0>:** Bits de selección de canal del comparador C2
 00 = Entrada C2VIN- está conectada al pin C12IN0-
 01 = Entrada C2VIN- está conectada al pin C12IN1-
 10 = Entrada C2VIN- está conectada al pin C12IN2-
 11 = Entrada C2VIN- está conectada al pin C12IN3-

Nota 1: Para que la salida del comparador aparezca en el pin es necesario que se cumplan tres condiciones:
 C2OE = 1, C2ON = 1 y el bit correspondiente del puerto configurado como salida (TRIS bit = 0)

8.7. Consideraciones sobre la conexión de entradas analógicas

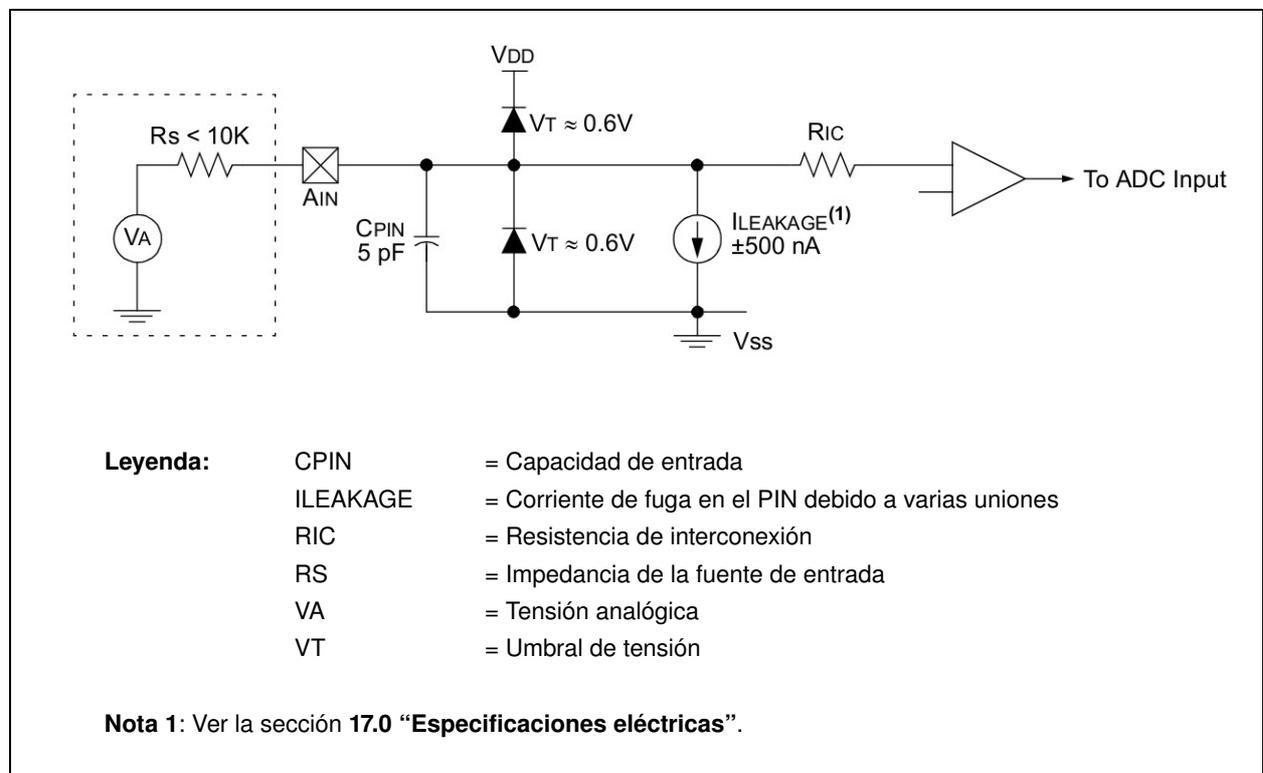
En la Figura 8-6 se muestra un circuito simplificado para una entrada analógica. Puesto que las entradas analógicas comparten conexión con las entradas digitales, tienen unos diodos de protección contra descargas eléctricas, en polarización inversa, a VDD y VSS. La entrada analógica, por lo tanto, debe estar entre VSS y VDD. Si la tensión de entrada se desvía de este rango más de 0,6 V en cualquier dirección, uno de los diodos se polariza directamente y la limita.

Para las fuentes analógicas se recomienda una impedancia máxima de salida de 10 kΩ. Además, cualquier componente externo conectado a un pin de entrada analógica, tal como un condensador o un diodo Zener, debe tener muy poca corriente de fuga para minimizar errores introducidos.

Nota 1: Cuando se lee el registro del puerto (PORT), todos los pines configurados como analógicos se leen como '0'. Los pines configurados como entradas digitales se convertirán en una entrada analógica, de acuerdo con las especificaciones de entrada.

Nota 2: La existencia de niveles analógicos en cualquier pin configurado como entrada digital, puede hacer que el buffer de entrada consuma más corriente de la especificada.

FIGURA 8-6: MODELO DE ENTRADA ANALÓGICA



8.8. Características adicionales del comparador

El comparador tiene tres características adicionales:

- Habilitar el conteo del Timer1 (compuerta)
- Sincronizar la salida con el Timer1
- Lectura simultánea de las salidas del comparador

8.8.1. APERTURA DE LA COMPUERTA DEL TIMER1 POR EL COMPARADOR C2

Esta característica se puede utilizar para cronometrar la duración o el intervalo de los acontecimientos analógicos. Poniendo a cero el bit T1GSS del registro CM2CON1 permite el incremento del Timer1 basándose en la salida del comparador C2. Esto requiere que el Timer1 esté encendido y la compuerta habilitada. Para más detalles ver la sección 6.0 “Módulo Timer1 con compuerta de control”.

Se recomienda sincronizar el comparador con el Timer1, configurando el bit de C2SYNC, cuando la comparación se utiliza como control de la compuerta del Timer1. Esto asegura Timer1 no pierda ninguna cuenta si el comparador cambia durante un incremento.

8.8.2. SINCRONIZAR LA SALIDA DEL COMPARADOR C2 CON EL TIMER1

Se puede sincronizar la salida del comparador C2 con el Timer1 configurando el bit C2SYNC del registro CM2CON1. Cuando está habilitado, la salida de C2 se almacena en el flanco de bajada del reloj del Timer1. Si se utiliza preescala con el Timer1, la salida del comparador se almacena después de la función prescaling. Para evitar condiciones de indeterminación, la salida del comparador se almacena en el flanco de bajada de la fuente de reloj del mientras que el Timer1 incrementa en el flanco ascendente. Para más información ver el Diagrama de Bloques del Comparador (Figuras 8-2 y 8-3) y el Diagrama de Bloques del Timer1 (Figura 6-1).

8.8.3. LECTURA SIMULTÁNEA DE LAS SALIDAS DE COMPARACIÓN

Los bits MC1OUT y MC2OUT del registro CM2CON1 son copias espejo de las dos salidas del comparador. La capacidad de leer las dos salidas al mismo tiempo, de un registro único, permite no desvirtuar las condiciones de salida debido al tiempo de lectura.

Nota 1: Obtener el estado de C1OUT o C2OUT leyendo CM2CON1 no afecta a los registros de interrupción del comparador.

REG 8-3: CM2CON1: REGISTRO 1 DE CONTROL DEL COMPARADOR C2

R-0	R-0	R/W-0	R/W-0	U-0	U-0	R/W-1	R/W-0
MC1OUT	MC2OUT	C1RSEL	C2RSEL	---	---	T1GSS	C2SYNC
Bit 7						Bit 0	

Leyenda:
 R = Se puede leer W = Se puede escribir U = Bit no implementado si se lee es '0'
 -n = Valor después del encendido (POR) '1' = El bit está a 1 '0' = El bit está a 0 x = Valor desconocido

- bit 7 **MC1OUT:** Copia espejo del bit C1OUT
- bit 6 **MC2OUT:** Copia espejo del bit C2OUT
- bit 5 **C1RSEL:** Bit de selección de la fuente de tensión de referencia del comparador C1
 1 = La tensión CVREF se conecta a la entrada C1VREF del comparador C1
 0 = La tensión de referencia fija de 0.6V se conecta a la entrada C1VREF del comparador C1
 (O 1.2V en los dispositivos que la tienen)
- bit 4 **C2RSEL:** Bit de selección de la fuente de tensión de referencia del comparador C2
 1 = La tensión CVREF se conecta a la entrada C2VREF del comparador C2
 0 = La tensión de referencia fija de 0.6V se conecta a la entrada C2VREF del comparador C2
 (O 1.2V en los dispositivos que la tienen)
- bit 3-2 **Sin implementar,** se leen como '0'
- bit 1 **T1GSS:** Bit de selección de la fuente de la compuerta del temporizador Timer1
 1 = La compuerta del temporizador Timer1 utiliza señal del pin T1G.
 0 = La compuerta del temporizador Timer1 utiliza señal SYNC2OUT.
- bit 0 **C2SYNC:** Bit de sincronización de la salida del comparador C2
 1 = Se sincroniza la salida con el flanco descendente del reloj del Timer1
 0 = La salida es asíncrona

8.9. Báscula RS del comparador

El módulo báscula RS proporciona control adicional sobre las salidas del comparador. Consiste en una báscula RS y dos multiplexores de salida. La báscula puede se puesta a '1', a '0' o cambiada por las salidas del comparador. También se puede poner en Set o Reset, independientemente de las salidas del comparador, mediante los bits de control del registro SRCON. Los multiplexores seleccionan si son las salidas del comparador o las de la báscula las que se aplican a los pines de salida.

8.9.1. FUNCIONAMIENTO DE LA BÁSCULA

Se trata de una báscula RS asíncrona (no depende de una señal de reloj). Las entradas de Set y Reset son en alto activo. Cada entrada de la báscula está conectada a la salida de un comparador y a un generador de pulsos controlado por software. La báscula se puede poner a uno con C1OUT o el bit PLUS del registro SRCON y a cero con C2OUT o el bit PLUS del registro SRCON. La báscula es de paro prioritario, por lo tanto, si se activan simultáneamente Set y Reset su estado pasará a Reset. Los bits PULSS y PULSR se restablecen automáticamente lo que significa que, para realizar las operaciones de Set o Reset de la báscula, solo se necesita una única operación de escritura en alguno de estos bits.

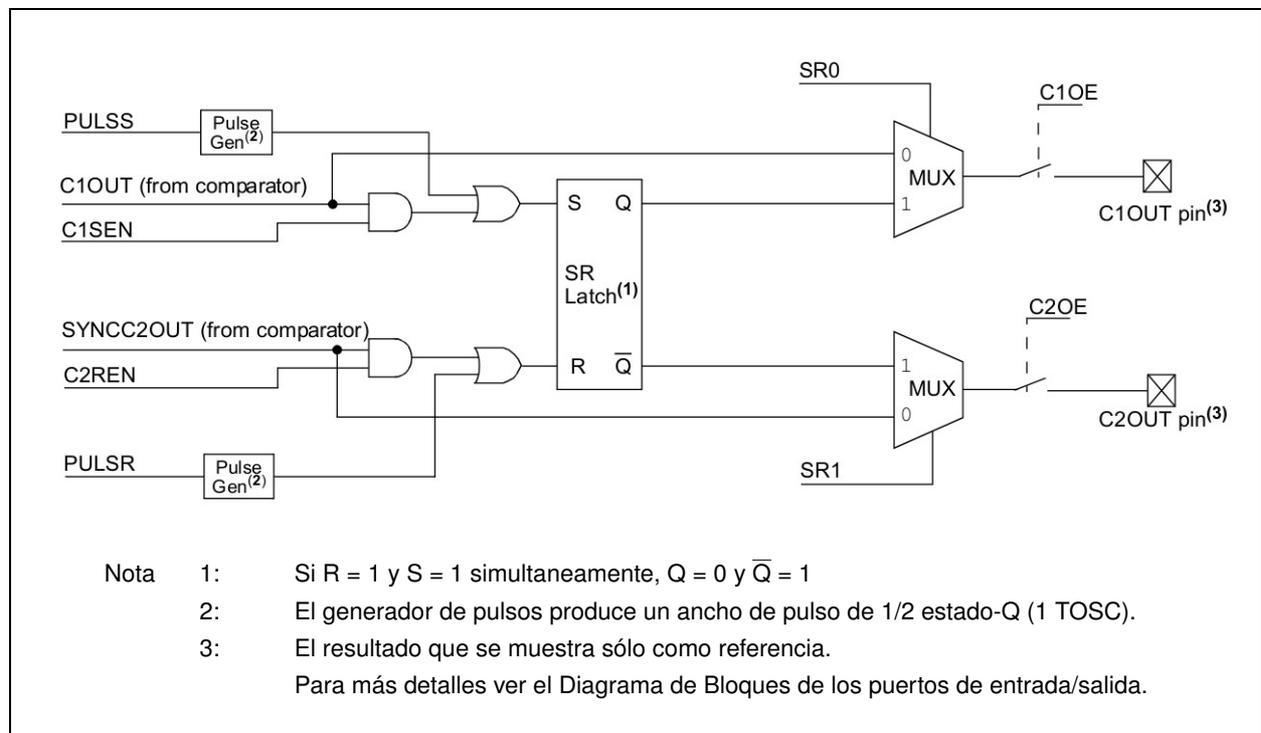
8.9.2. SALIDA DE LA BÁSCULA

Los bits SR<1:0> del registro SRCON controlan los multiplexores de salida y posibilitan cuatro posibles modos de salida. Estos bits determinan que los pin de salida CxOUT estén conectados a:

- C1OUT y C2OUT del comparador
- C1OUT del comparador y \bar{Q} del latch
- Q del latch y C2OUT del comparador
- Q y \bar{Q} del latch

Tras un Reset el modo de configuración por defecto es el primero, salida directa del comparador. Esto mantiene la compatibilidad con dispositivos que no tienen la función de báscula RS.

Para habilitar los pins de salida es necesario configurar los bits correspondientes del registro TRIS y además, configurar los bits de habilitación de las salidas del comparador CxOE del registro CMxCON. La configuración de la báscula es completamente independiente de la configuración del comparador.



REGISTER 8-4: SRCON: REGISTRO DE CONTROL DE LA BÁSCULA RS

R/W-0	R/W-0	R/W-0	R/W-0	R/S-0	R/S-0	U-0	R/W-0
SR1 ⁽²⁾	SR0 ⁽²⁾	C1SEN	C2REN	PULSS	PULSR	---	FVREN
Bit 7							Bit 0

Leyenda:		S= Solo puede ser puesto a '1'
R = Se puede leer	W = Se puede escribir	U = Bit no implementado si se lee es '0'
-n = Valor después del encendido (POR)	'1' = El bit está a 1	'0' = El bit está a 0 x = Valor desconocido

- bit 7 **SR1:** Bit de configuración de la báscula RS⁽²⁾
 1 = El pin C2OUT es la salida \bar{Q} de la báscula
 0 = El pin C2OUT es la salida del comparador C2
- bit 6 **SR0:** Bit de configuración de la báscula RS⁽²⁾
 1 = El pin C1OUT es la salida Q de la báscula
 0 = El pin C1OUT es la salida del comparador C1
- bit 5 **C1SEN:** Bit de habilitación de la entrada de SET de la báscula
 1 = La salida C1 del comparador está conectada e la entrada SET de la báscula
 0 = La salida C1 del comparador no tiene efectos sobre la báscula
- bit 4 **C2REN:** Bit de habilitación de la entrada de RESET de la báscula
 1 = La salida C2 del comparador está conectada e la entrada RESET de la báscula
 0 = La salida C2 del comparador no tiene efectos sobre la báscula
- bit 3 **PULSS:** Bit de pulso en la entrada SET de la báscula
 1 = Produce un pulso en la entrada SET de la báscula. Se borra inmediatamente por hardware.
 0 = No se produce pulso
- bit 2 **PULSR:** Bit de pulso en la entrada RESET de la báscula
 1 = Produce un pulso en la entrada RESET de la báscula. Se borra inmediatamente por hardware.
 0 = No se produce pulso
- bit 1 **Sin implementar**, se lee como '0'
- bit 0 **FVREN:** Bit de habilitación de la tensión de referencia fija
 1 = Habilita la tensión de referencia fija de 0.6V del regulador de tensión LDO (Output Low Dropout. Regulador de tensión de baja tolerancia) de INTOSC
 0 = Deshabilita la referencia de 0.6V del LDO

Nota **1:** El bit CxOUT del registro CmxCON0 siempre refleja el estado actual de la salida del comparador (no el nivel del pin), independientemente de la báscula RS.
2: Para permitir que el estado la báscula RS salga por el pin, hay que configurar CxOE y los bits de TRIS apropiados.

8.10. Tensión de referencia del comparador

El módulo de tensión de referencia proporciona un generador interno de tensión de referencia para la comparación. Están disponibles las siguientes funciones:

- Independencia del funcionamiento del comparador
- Dos rangos de 16 niveles de tensión
- Salida con referencia en VSS
- Directamente proporcional a VDD
- Referencia fija de 0.6V

Con el registro VRCON (Reg 8-5) se controla el módulo de tensión de referencia mostrado en la Figura 8-8.

La tensión de referencia se puede seleccionar a través de una red de 16 resistencias en serie. El bit VRSS del registro VRCON selecciona que la fuente de tensión sea interna o externa.

Los PIC16F882/883/884/886/887 permiten que la señal CVREF salga por el pin RA2 del PORTA solo en determinadas configuraciones. Para más detalles, ver la Figura 8-9.

8.10.1. OPERACIÓN INDEPENDIENTE

La tensión de referencia es independiente de la configuración del comparador. Se puede habilitar la referencia de tensión configurando el bit VREN del registro VRCON.

8.10.2. SELECCIÓN DE LA TENSIÓN DE SALIDA

La tensión de referencia CVREF tiene 2 rangos con 16 niveles de tensión en cada rango. La selección de rango se controla con el bit VRR del registro VRCON. Los 16 niveles se configuran con los bits VR<3:0> del registro VRCON. La tensión de salida se determina con las siguientes ecuaciones:

VRR = 1 (Rango bajo):

$$CVREF = (VR<3:0>/24) \times VLADDER$$

VRR = 0 (Rango alto):

$$CVREF = (VLADDER/4) + (VR<3:0> \times VLADDER/32)$$

VLADDER = VDD o ([VREF+] - [VREF-]) o VREF+

No se puede utilizar la gama completa, de VSS hasta VDD, debido a la construcción del módulo. Ver la Figura 8-8.

8.10.3. REFERENCIA EN VSS

La tensión de salida CVREF se puede establecer en Vss sin consumo de energía borrando el bit FVREN del registro VRCON.

Esto permite al comparador detectar un paso por cero, mientras que no se consume corriente adicional en el módulo CVREF.

Nota: Dependiendo de la aplicación, pueden ser necesarios componentes adicionales para un circuito de cruce por cero. Para más información ver la Referencia TB3013, "Using the ESD Parasitic Diodes on Mixed Signal Microcontrollers" (DS93013).

8.10.4. PROPORCIONAL A VDD

La tensión de referencia del comparador deriva de VDD y por lo tanto, la salida CVREF cambia con las fluctuaciones de VDD. En la **sección 17.0 "Especificaciones eléctricas"** se pueden ver las pruebas de precisión absoluta de tensión de referencia del comparador.

8.10.5. REFERENCIA FIJA

La tensión fija de referencia es independiente de VDD. Con una tensión de salida nominal de 0.6V. Esta referencia se puede habilitar poniendo a '1' el bit FVREN del registro SRCON. Esta referencia está siempre activada cuando el oscilador HFINTOSC está activo.

8.10.6. ESTABILIZACIÓN DE LA TENSIÓN DE REFERENCIA FIJA

Cuando se habilita la tensión fija de referencia, se requerirá algún tiempo para que la referencia y sus circuitos de amplificación se establezcan. El programa de usuario debe incluir una pequeña rutina de retardo para permitir que el módulo se estabilice. Ver sección **17.0 "Especificaciones Eléctricas"** para los requisitos mínimos de del retardo.

8.10.7. SELECCIÓN DE LA TENSIÓN DE REFERENCIA

Los multiplexores en la salida del módulo de tensión de referencia, permiten seleccionar cualquiera de los CVREF o la tensión fija de referencia, para ser utilizada por los comparadores.

Configurando el bit C1RSEL del registro CM2CON1 se permite que la corriente fluya por el divisor de tensión VREF y selecciona que C1 utilice la tensión CVREF. C1RSEL = '0' selecciona que C1 utilice la tensión de referencia fija.

Configurando el bit C2RSEL del registro CM2CON1 se permite que la corriente fluya por el divisor de tensión VREF y selecciona que C2 utilice la tensión CVREF. C1RSEL = '0' selecciona que C2 utilice la tensión de referencia fija.

Cuando tanto C1RSEL como C2RSEL se borran, y el flujo de corriente en el divisor de tensión CVREF está cortado, se minimizar el consumo del módulo de tensión de referencia.

FIGURA 8-8: DIAGRAMA DE BLOQUES DE LA TENSIÓN DE REFERENCIA DEL COMPARADOR

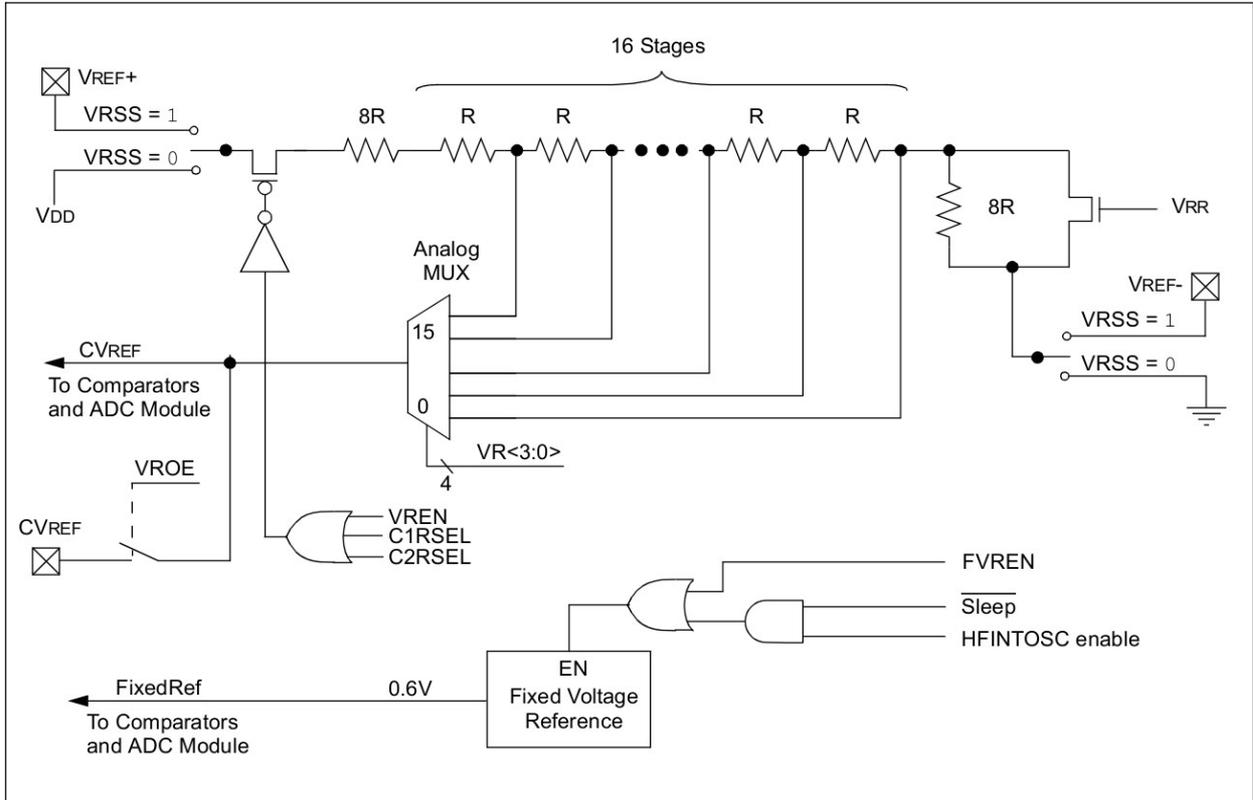


FIGURA 8-9: DIAGRAMA DE BLOQUES DE LA TENSIÓN DE REFERENCIA DEL COMPARADOR Y ADC

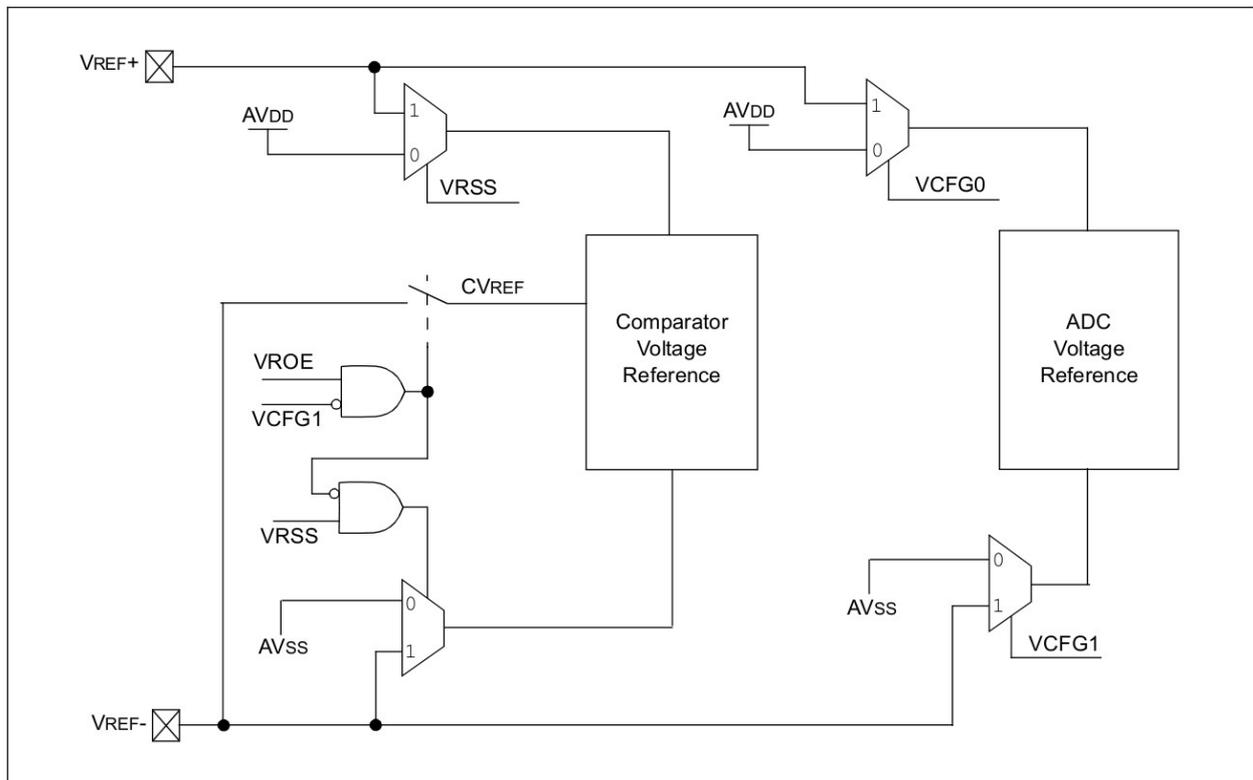


TABLA 8-2: PRIORIDAD DE LA TENSIÓN DE REFERENCIA DEL COMPARADOR Y ADC

RA3	RA2	Comp. Reference (+)	Comp. Reference (-)	ADC Reference (+)	ADC Reference (-)	CFG1	CFG0	VRSS	VROE
I/O	I/O	AVDD	AVSS	AVDD	AVSS	0	0	0	0
I/O	CVREF	AVDD	AVSS	AVDD	AVSS	0	0	0	1
VREF+	VREF-	VREF+	VREF-	AVDD	AVSS	0	0	1	0
VREF+	CVREF	VREF+	AVSS	AVDD	AVSS	0	0	1	1
VREF+	I/O	AVDD	AVSS	VREF+	AVSS	0	1	0	0
VREF+	CVREF	AVDD	AVSS	VREF+	AVSS	0	1	0	1
VREF+	VREF-	VREF+	VREF-	VREF+	AVSS	0	1	1	0
VREF+	CVREF	VREF+	AVSS	VREF+	AVSS	0	1	1	1
I/O	VREF-	AVDD	AVSS	AVDD	VREF-	1	0	0	0
I/O	VREF-	AVDD	AVSS	AVDD	VREF-	1	0	0	1
VREF+	VREF-	VREF+	VREF-	AVDD	VREF-	1	0	1	0
VREF+	VREF-	VREF+	VREF-	AVDD	VREF-	1	0	1	1
VREF+	VREF-	AVDD	AVSS	VREF+	VREF-	1	1	0	0
VREF+	VREF-	AVDD	AVSS	VREF+	VREF-	1	1	0	1
VREF+	VREF-	VREF+	VREF-	VREF+	VREF-	1	1	1	0
VREF+	VREF-	VREF+	VREF-	VREF+	VREF-	1	1	1	1

REG 8-5: VRCON:REGISTRO DE CONTROL DE LA TENSIÓN DE REFERENCIA

R/W-0							
VREN	VROE	VRR	VRSS	VR3	VR2	VR1	VR0
Bit 7							Bit 0

Leyenda:
 R = Se puede leer W = Se puede escribir U = Bit no implementado si se lee es '0'
 -n = Valor después del encendido (POR) '1' = El bit está a 1 '0' = El bit está a 0 x = Valor desconocido

- bit 7 **VREN:** Bit de habilitación de la tensión de referencia del comparador C1
 1 = Circuito CVREF alimentado
 0 = Circuito CVREF sin alimentar
- bit 6 **VROE:** Bit de habilitación de la tensión de referencia del comparador C2
 1 = La tensión CVREF sale por el pin RA2/AN2/VREF-/CVREF/C2IN+
 0 = La tensión CVREF está desconectada del pin RA2/AN2/VREF-/CVREF/C2IN+
- bit 5 **VRR:** Bit de selección del rango de CVREF
 1 = Rango bajo
 0 = Rango alto
- bit 4 **VRSS:** Bit de selección del rango de VREF del comparador
 1 = Fuente de referencia del comparador, CVRSRC = (VREF+) - (VREF-)
 0 = Fuente de referencia del comparador, CVRSRC = VDD - VSS
- bit 3-0 **VR<3:0>:** Selección del valor de CVREF $0 \leq VR<3:0> \leq 15$
 Cuando VRR = 1: $CVREF = (VR<3:0>/24) * VDD$
 Cuando VRR = 0: $CVREF = VDD/4 + (VR<3:0>/32) * VDD$

TABLA 8-3: RESUMEN DE LOS REGISTROS ASOCIADOS AL COMPARADOR Y A LOS MÓDULOS DE TENSIÓN DE REFERENCIA

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
ANSELH	—	—	ANS13	ANS12	ANS11	ANS10	ANS9	ANS8	--11 1111	--11 1111
CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1R	C1CH1	C1CH0	0000 -000	0000 -000
CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2R	C2CH1	C2CH0	0000 -000	0000 -000
CM2CON1	MC1OUT	MC2OUT	C1RSEL	C2RSEL	—	—	T1GSS	C2SYNC	0000 --10	0000 --10
INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000x
PIE2	OSFIE	C2IE	C1IE	EEIE	BCLIE	ULPWUIE	—	CCP2IE	0000 00-0	0000 00-0
PIR2	OSFIF	C2IF	C1IF	EEIF	BCLIF	ULPWUIF	—	CCP2IF	0000 00-0	0000 00-0
PORTA	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	xxxx xxxx	uuuu uuuu
PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	uuuu uuuu
SRCON	SR1	SR0	C1SEN	C2SEN	PULSS	PULSR	—	FVREN	0000 00-0	0000 00-0
TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	1111 1111	1111 1111
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	1111 1111
VRCON	VREN	VROE	VRR	VRSS	VR3	VR2	VR1	VR0	0000 0000	0000 0000

Leyenda: x = desconocido, u = sin cambios, - = sin implementar, se lee como '0'.
 Las celdas sombreadas no son usadas por el comparador.