

9.0 MÓDULO CONVERTIDOR ANALÓGICO/DIGITAL (ADC)

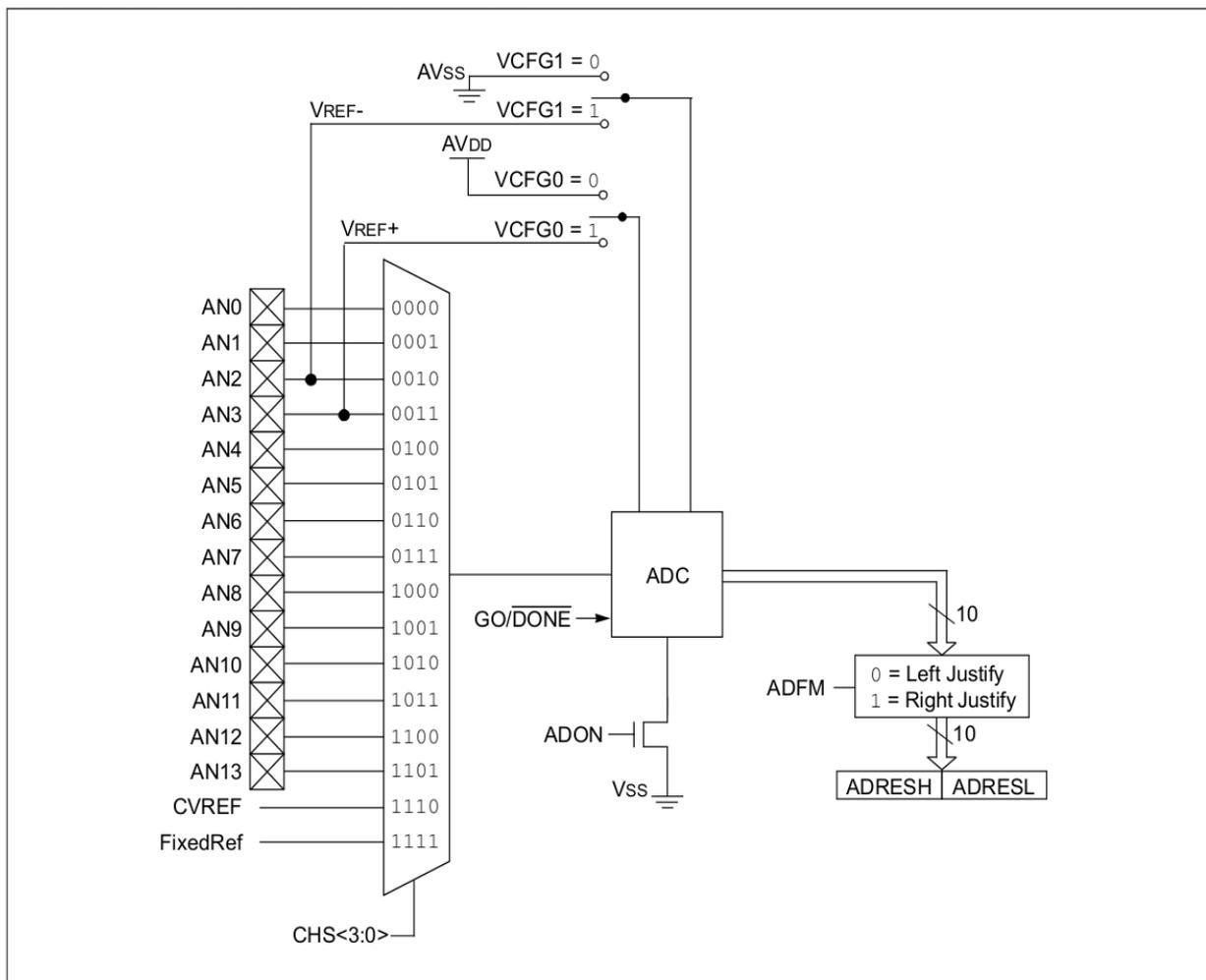
El convertidor analógico/digital (ADC) permite la conversión de una señal analógica a una representación binaria de la señal con 10 bits. El dispositivo utiliza entradas analógicas que están multiplexadas hacia un circuito único de muestreo y retención (S&H). La salida del circuito de muestreo y retención va conectada a la entrada del convertidor. El convertidor genera un resultado binario de 10 bits a través de sucesivas aproximaciones y almacena el resultado de la conversión en los registros de resultado del ADC (ADRESL y ADRESH).

La tensión de referencia del ADC se puede seleccionar por software como generada internamente o proporcionada externamente.

El ADC puede generar una interrupción una vez completada la conversión. Esta interrupción puede usarse para despertar el dispositivo cuando está dormido.

La figura 9-1 muestra el diagrama de bloques del ADC.

FIGURE 9-1: ADC BLOCK DIAGRAM



9.1 Configuración del ADC

Cuando se está configurando y usando el ADC, se deben considerar las siguientes funciones:

- Configuración del puerto
- Selección de canal
- Selección de la tensión de referencia del ADC
- Fuente de reloj para la conversión del ADC
- Control de interrupciones
- Formato de los resultados

9.1.1 CONFIGURACIÓN DE LOS PUERTOS

El ADC puede usarse para convertir señales analógicas o digitales. Cuando se convierten señales analógicas el pin de E/S debe configurarse para analógico poniendo a 1 los bits asociados en los registros TRIS y ANSEL. Para más información ver la sección de los puertos.

Nota: Una tensión analógica en cualquier pin que esté definido como entrada digital puede ocasionar una circulación excesiva de corriente por el buffer de entrada.

9.1.2 SELECCIÓN DE CANAL

Los bits CHS del registro ADCON0 determinan que canal está conectado al circuito de muestreo y retención.

Cuando se cambian canales, es necesario un retardo antes de empezar la siguiente conversión. Para más información, referirse a la **sección 9.2 “Operación del ADC”**.

9.1.3 Tensión de referencia del ADC

Los bits VCFG del registro ADCON0 proporcionan un control independiente de las tensiones de referencia positiva y negativa. La tensión de referencia positiva puede ser bien V_{DD} o una fuente de tensión de referencia externa. De la misma forma, la tensión de referencia negativa puede ser bien V_{SS} o una fuente de tensión de referencia externa.

9.1.4 RELOJ DE CONVERSIÓN

La fuente del reloj de conversión se puede seleccionar por software a través de los bits ADCS del registro ADCON0. Hay cuatro posibles opciones de reloj:

- $F_{OSC}/2$
- $F_{OSC}/8$
- $F_{OSC}/32$
- F_{RC} (oscilador interno dedicado)

El tiempo para completar la conversión de un bit se define como T_{AD} . Una conversión completa de 10 bits necesita 11 periodos T_{AD} como se muestra en la figura 9-2.

Para conseguir una conversión correcta, se debe cumplir correctamente con la especificación del tiempo T_{AD} . Ver los requerimientos de la conversión A/D en la **Sección 17.0 “Especificaciones Eléctricas”**, para más información. La tabla 9-1 da unos ejemplos de selecciones de reloj adecuadas.

Nota: Excepto si se usa el reloj F_{RC} , cualquier variación en la frecuencia del reloj del sistema cambiará la frecuencia del reloj del ADC, lo que puede afectar negativamente al resultado de la conversión A/D.

TABLE 9-1: ADC CLOCK PERIOD (TAD) Vs. DEVICE OPERATING FREQUENCIES (VDD ≥ 3.0V)

ADC Clock Period (TAD)		Device Frequency (Fosc)			
ADC Clock Source	ADCS<1:0>	20 MHz	8 MHz	4 MHz	1 MHz
FOSC/2	00	100 ns ⁽²⁾	250 ns ⁽²⁾	500 ns ⁽²⁾	2.0 μs
FOSC/8	01	400 ns ⁽²⁾	1.0 μs ⁽²⁾	2.0 μs	8.0 μs ⁽³⁾
FOSC/32	10	1.6 μs	4.0 μs	8.0 μs ⁽³⁾	32.0 μs ⁽³⁾
FRC	11	2-6 μs ^(1,4)	2-6 μs ^(1,4)	2-6 μs ^(1,4)	2-6 μs ^(1,4)

Legend: Shaded cells are outside of recommended range.

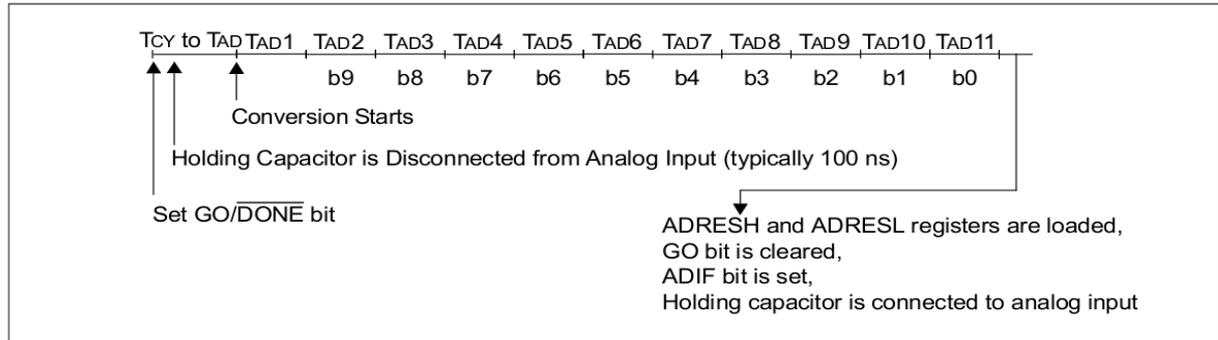
Note 1: The FRC source has a typical TAD time of 4 μs for VDD > 3.0V.

2: These values violate the minimum required TAD time.

3: For faster conversion times, the selection of another clock source is recommended.

4: When the device frequency is greater than 1 MHz, the FRC clock source is only recommended if the conversion will be performed during Sleep.

FIGURE 9-2: ANALOG-TO-DIGITAL CONVERSION TAD CYCLES



9.1.5 INTERRUPTACIONES

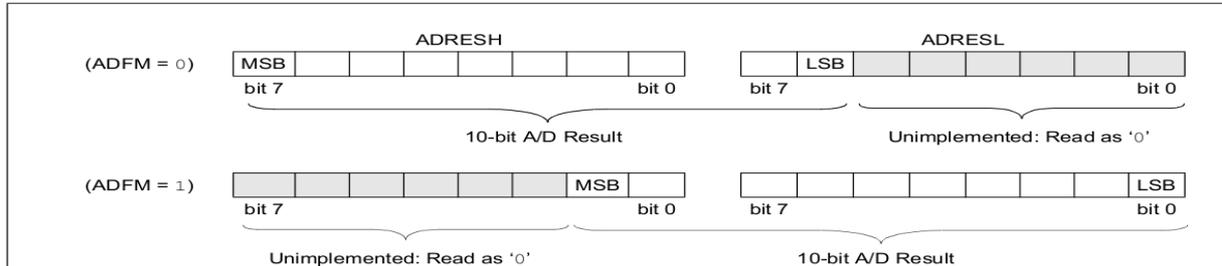
El módulo ADC puede generar una interrupción una vez completada la conversión Analógico/Digital. El flag de interrupción del ADC es el bit ADIF del registro PIR1. La habilitación de la interrupción del ADC es el bit ADIE del registro PIE1. El bit ADIF debe ser borrado por software.

9.1.6 FORMATO DEL RESULTADO

El resultado de la conversión A/D, de 10 bits, se puede proporcionar en dos formatos distintos, justificado a la izquierda o a la derecha. El bit ADFM del registro ADCON0 controla el formato de salida.

La Figura 9-3 muestra los dos formatos de salida.

FIGURE 9-3: 10-BIT A/D CONVERSION RESULT FORMAT



9.2 Operación del ADC

9.2.1 INICIANDO UNA CONVERSIÓN

Para habilitar el módulo ADC, se debe poner a '1' el bit ADON del registro ADCON0. Poner a '1' el bit GO/DONE del registro ADCON0 empezará la conversión A/D.

Nota: El bit GO/DONE no se puede poner a '1' en la misma instrucción que activa el ADC. Referirse a la Sección 9.2.6 "Procedimiento de conversión A/D"

9.2.2 FIN DE LA CONVERSIÓN

Cuando se termina la conversión, el ADC:

- Borra el bit GO/DONE
- Pone a '1' el flag ADIF
- Actualiza los registros ADRESH:ADRESL con el nuevo resultado de la conversión.

9.2.3 ABORTANDO UNA CONVERSION

Si la conversión debe abortarse antes de terminar puede hacerse por software poniendo a '0' el bit GO/DONE. Los registros ADRESH:ADRESL no se actualizarán con la conversión parcial de la conversión A/D, sino que mantendrán el valor de la conversión anterior. Además, será necesario un retardo de $2 T_{AD}$ antes de poder iniciar otra conversión. Después de este retardo, empieza de forma automática la adquisición de la entrada en el canal seleccionado.

Nota: Un Reset del dispositivo fuerza todos los registros a si estado de Reset. Por lo tanto, el módulo ADC queda apagado y la conversión pendiente abortada.

9.2.4 OPERACIÓN DEL ADC CON EL MICRO DURMIENDO (SLEEP)

El ADC puede trabajar en modo *sleep*. Para ello es necesario que la fuente de reloj del ADC esté configurada como F_{RC} . Cuando se selecciona la fuente de reloj F_{RC} , el ADC espera una instrucción adicional antes de comenzar la conversión. Esto permite a la instrucción SLEEP ejecutarse, lo que puede reducir el ruido del sistema durante la conversión. Si la interrupción del ADC está habilitada, el dispositivo se despierta del modo *sleep* cuando termina la conversión. Si la interrupción del ADC está deshabilitada, el módulo ADC se apaga después de que la conversión termine, aunque el bit ADON permanezca a '1'.

Cuando la fuente de reloj del ADC es otra distinta de F_{RC} , una instrucción SLEEP provoca que la conversión en curso se aborte y el módulo ADC se apague, aunque el bit ADON permanezca a '1'.

9.2.5 Evento especial de disparo

El evento especial de disparo del ECCP permite medidas A/D periódicas sin intervención por software. Cuando se produce el disparo, el bit GO/DONE se pone a '1' por hardware y el Timer 1 se pone a cero.

La utilización del evento especial de disparo no asegura una temporización adecuada en para el ADC. Es responsabilidad del usuario asegurarse de que los requerimientos de temporización del ADC se cumplen.

Ver la Sección 11.0 "Módulos de captura/comparación/PWM (CCP1 y CCP2)" para más información.

9.2.6 PROCEDIMIENTO DE CONVERSIÓN A/D

Este es un ejemplo de procedimiento para usar el ADC para realizar una conversión A/D

1. Configurar el puerto
 - Deshabilitar el driver de salida del pin (ver el registro TRIS)
 - Configurar el pin como analógico
2. Configurar el módulo ADC:
 - Seleccionar el reloj del ADC
 - Configurar la tensión de referencia
 - Seleccionar el canal de entrada del ADC
 - Seleccionar el formato del resultado.
 - Activar el módulo ADC
3. Configurar la interrupción del ADC (opcional):
 - Borrar el flag de interrupción del ADC
 - Habilitar la interrupción del ADC
 - Habilitar la interrupción de los periféricos
 - Habilitar la interrupción global⁽¹⁾
4. Esperar el tiempo de adquisición necesario⁽²⁾
5. Empezar la conversión activando el bit $\overline{GO/DONE}$
6. Esperar a que termine la conversión A/D de una de las siguientes formas:
 - Haciendo sondeo del bit $\overline{GO/DONE}$
 - Esperando a la interrupción del ADC (estando las interrupciones habilitadas)
7. Leer el resultado del ADC
8. Borrar el flag de interrupción del ADC (necesario si está activada la interrupción)

EJEMPLO 9-1 CONVERSIÓN A/D

```

;Este bloque de código configura el ADC
;por polling, Vdd y Vss como referencias,
;Frc como reloj y AN0 entrada
;
;Se incluyen el inicio de la conversión
;y el polling hasta finalizar

BANKSEL    ADCON1    ;
MOVLW     B'10000000' ;justificado dcha
MOVWF     ADCON1    ;VDD Y Vss como Vref
BANKSEL    TRISA     ;
BSF       TRISA,0   ;RA0 entrada
BANKSEL    ANSEL     ;
BSF       ANSEL,0   ;RA0 analógica
BANKSEL    ADCON0    ;
MOVLW     B'11000001' ;Frc como reloj del ADC
MOVWF     ADCON0    ;
CALL      SampleTime ;retardo de adquisicion
BSF       ADCON0,GO  ;iniciar conversión
BTFSC    ADCON0,GO  ;¿conversión terminada?
GOTO     $-1        ;no, seguir comprobando
BANKSEL    ADRESH    ;
MOVF     ADRESH,W   ;leer los dos bits altos
MOVWF    RESULTHI   ;almacenar en espacio GPR
BANKSEL    ADRESL    ;
MOVF     ADRESL,W   ;leer los 8 bits bajos
MOVWF    RESULTLO   ;almacenar en espacio GPR
    
```

Nota 1: La interrupción global puede deshabilitarse si el usuario pretende despertar al microcontrolador desde *sleep* y continuar la ejecución de código

2: Ver la Sección 9.3 “Requerimientos de la adquisición A/D”

9.2.7 REGISTROS DEL ADC

Los siguientes registros se usan para controlar la operación del ADC

Nota: Para los registros ANSEL Y ANSELH, ver Registros 3-3 y Registros 3-4, respectivamente

REGISTER 9-1: ADCON0: A/D CONTROL REGISTER 0

R/W-0	R/W-0						
ADCS1	ADCS0	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON
bit 7							bit 0

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

bit 7-6 **ADCS<1:0>:** A/D Conversion Clock Select bits
 00 = Fosc/2
 01 = Fosc/8
 10 = Fosc/32
 11 = FRC (clock derived from a dedicated internal oscillator = 500 kHz max)

bit 5-2 **CHS<3:0>:** Analog Channel Select bits
 0000 = AN0
 0001 = AN1
 0010 = AN2
 0011 = AN3
 0100 = AN4
 0101 = AN5
 0110 = AN6
 0111 = AN7
 1000 = AN8
 1001 = AN9
 1010 = AN10
 1011 = AN11
 1100 = AN12
 1101 = AN13
 1110 = CVREF
 1111 = Fixed Ref (0.6V fixed voltage reference)

bit 1 **GO/DONE:** A/D Conversion Status bit
 1 = A/D conversion cycle in progress. Setting this bit starts an A/D conversion cycle.
 This bit is automatically cleared by hardware when the A/D conversion has completed.
 0 = A/D conversion completed/not in progress

bit 0 **ADON:** ADC Enable bit
 1 = ADC is enabled
 0 = ADC is disabled and consumes no operating current

REGISTER 9-2: ADCON1: A/D CONTROL REGISTER 1

R/W-0	U-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0
ADFM	—	VCFG1	VCFG0	—	—	—	—
bit 7							bit 0

Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

bit 7 **ADFM:** A/D Conversion Result Format Select bit

1 = Right justified

0 = Left justified

bit 6 **Unimplemented:** Read as '0'

bit 5 **VCFG1:** Voltage Reference bit

1 = VREF- pin

0 = VSS

bit 4 **VCFG0:** Voltage Reference bit

1 = VREF+ pin

0 = VDD

bit 3-0 **Unimplemented:** Read as '0'

REGISTER 9-3: ADRESH: ADC RESULT REGISTER HIGH (ADRESH) ADFM = 0

R/W-x							
ADRES9	ADRES8	ADRES7	ADRES6	ADRES5	ADRES4	ADRES3	ADRES2
bit 7							bit 0

Legend:

R = Readable bit W = Writable bit U = Unimplemented bit, read as '0'
 -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown

bit 7-0 **ADRES<9:2>**: ADC Result Register bits
 Upper 8 bits of 10-bit conversion result

REGISTER 9-4: ADRESL: ADC RESULT REGISTER LOW (ADRESL) ADFM = 0

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
ADRES1	ADRES0	—	—	—	—	—	—
bit 7							bit 0

Legend:

R = Readable bit W = Writable bit U = Unimplemented bit, read as '0'
 -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown

bit 7-6 **ADRES<1:0>**: ADC Result Register bits
 Lower 2 bits of 10-bit conversion result

bit 5-0 **Reserved**: Do not use.

REGISTER 9-5: ADRESH: ADC RESULT REGISTER HIGH (ADRESH) ADFM = 1

R/W-x	R/W-x						
—	—	—	—	—	—	ADRES9	ADRES8
bit 7						bit 0	

Legend:

R = Readable bit W = Writable bit U = Unimplemented bit, read as '0'
 -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown

bit 7-2 **Reserved**: Do not use.

bit 1-0 **ADRES<9:8>**: ADC Result Register bits
 Upper 2 bits of 10-bit conversion result

REGISTER 9-6: ADRESL: ADC RESULT REGISTER LOW (ADRESL) ADFM = 1

R/W-x							
ADRES7	ADRES6	ADRES5	ADRES4	ADRES3	ADRES2	ADRES1	ADRES0
bit 7							bit 0

Legend:

R = Readable bit W = Writable bit U = Unimplemented bit, read as '0'
 -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown

bit 7-0 **ADRES<7:0>**: ADC Result Register bits
 Lower 8 bits of 10-bit conversion result

9.3 Requerimientos de la adquisición A/D

Para que el ADC alcance su precisión especificada, debe permitirse al condensador de circuito de muestreo y retención (C_{HOLD}) alcanzar la carga completa al nivel de tensión del canal de entrada. El modelo analógico de la entrada se muestra en la Figura 9-4. La impedancia de la fuente (R_S) y la impedancia interna del interruptor de muestreo (R_{SS}) afectan directamente al tiempo requerido para cargar el condensador C_{HOLD} : La impedancia del condensador de muestreo (R_{SS}) cambia con la tensión de alimentación del dispositivo (V_{DD}), ver la Figura 9-4. La máxima impedancia recomendada para las fuentes analógicas es 10KΩ. Según se reduce la impedancia de la fuente se puede reducir el tiempo de adquisición. Después de seleccionar (o cambiar) el canal de entrada analógico, se debe

hacer una adquisición antes de empezar la conversión. Para calcular el tiempo de adquisición mínimo, se puede usar la Ecuación 9-1. Esta ecuación supone que se usa como error 1/2 LSB (1024 escalones para el ADC). El error de 1/2 Lsb es el máximo error permitido para el ADC para cumplir con su resolución especificada.

EQUATION 9-1: ACQUISITION TIME EXAMPLE

Assumptions: Temperature = 50°C and external impedance of 10kΩ 5.0V VDD

$$\begin{aligned} T_{ACQ} &= \text{Amplifier Settling Time} + \text{Hold Capacitor Charging Time} + \text{Temperature Coefficient} \\ &= T_{AMP} + T_C + T_{COFF} \\ &= 2\mu s + T_C + [(Temperature - 25^\circ C)(0.05\mu s/^\circ C)] \end{aligned}$$

The value for T_C can be approximated with the following equations:

$$V_{APPLIED} \left(1 - \frac{1}{(2^{n+1}) - 1} \right) = V_{CHOLD} \quad ;[1] \text{ } V_{CHOLD} \text{ charged to within } 1/2 \text{ lsb}$$

$$V_{APPLIED} \left(1 - e^{-\frac{T_C}{RC}} \right) = V_{CHOLD} \quad ;[2] \text{ } V_{CHOLD} \text{ charge response to } V_{APPLIED}$$

$$V_{APPLIED} \left(1 - e^{-\frac{T_C}{RC}} \right) = V_{APPLIED} \left(1 - \frac{1}{(2^{n+1}) - 1} \right) \quad ;\text{combining [1] and [2]}$$

Solving for T_C :

$$\begin{aligned} T_C &= -C_{HOLD}(R_{IC} + R_{SS} + R_S) \ln(1/2047) \\ &= -10pF(1k\Omega + 7k\Omega + 10k\Omega) \ln(0.0004885) \\ &= 1.37\mu s \end{aligned}$$

Therefore:

$$\begin{aligned} T_{ACQ} &= 2MS + 1.37MS + [(50^\circ C - 25^\circ C)(0.05MS/^\circ C)] \\ &= 4.67MS \end{aligned}$$

Nota 1: La tensión de referencia (VREF) no tiene efecto en esta ecuación, ya que se cancela a si misma.
 2: El condensador del circuito de muestreo y retención (CHOLD) no se descarga después de cada conversión.
 3: La máxima impedancia recomendada para las fuentes analógicas es 10K. Este valor es necesario para cumplir con la especificación de la corriente de fugas.

FIGURE 9-4: ANALOG INPUT MODEL

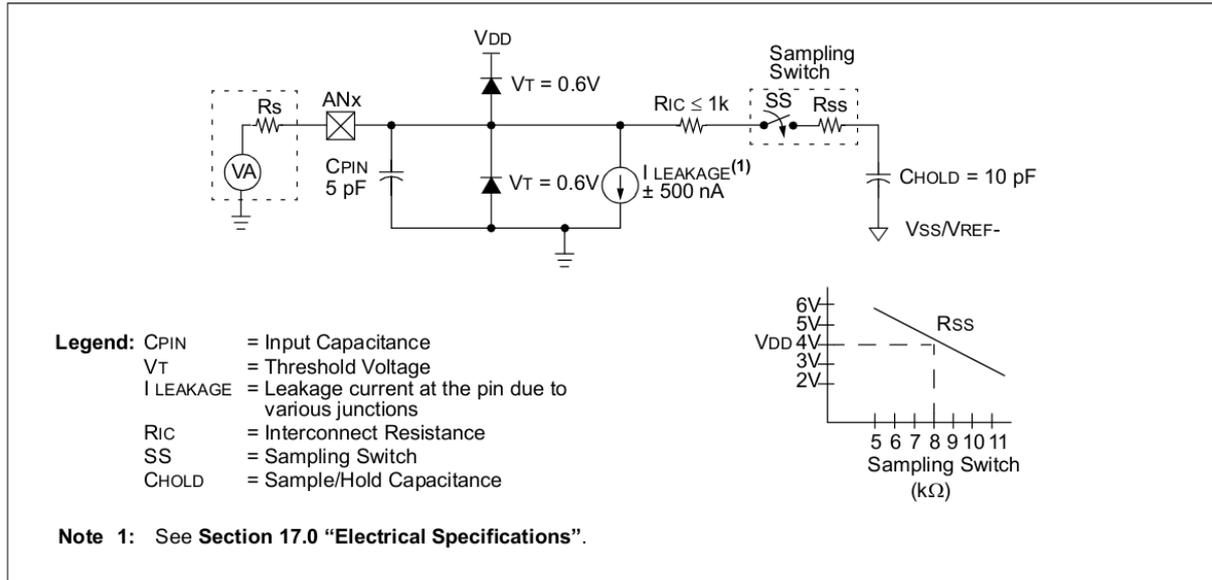


FIGURE 9-5: ADC TRANSFER FUNCTION

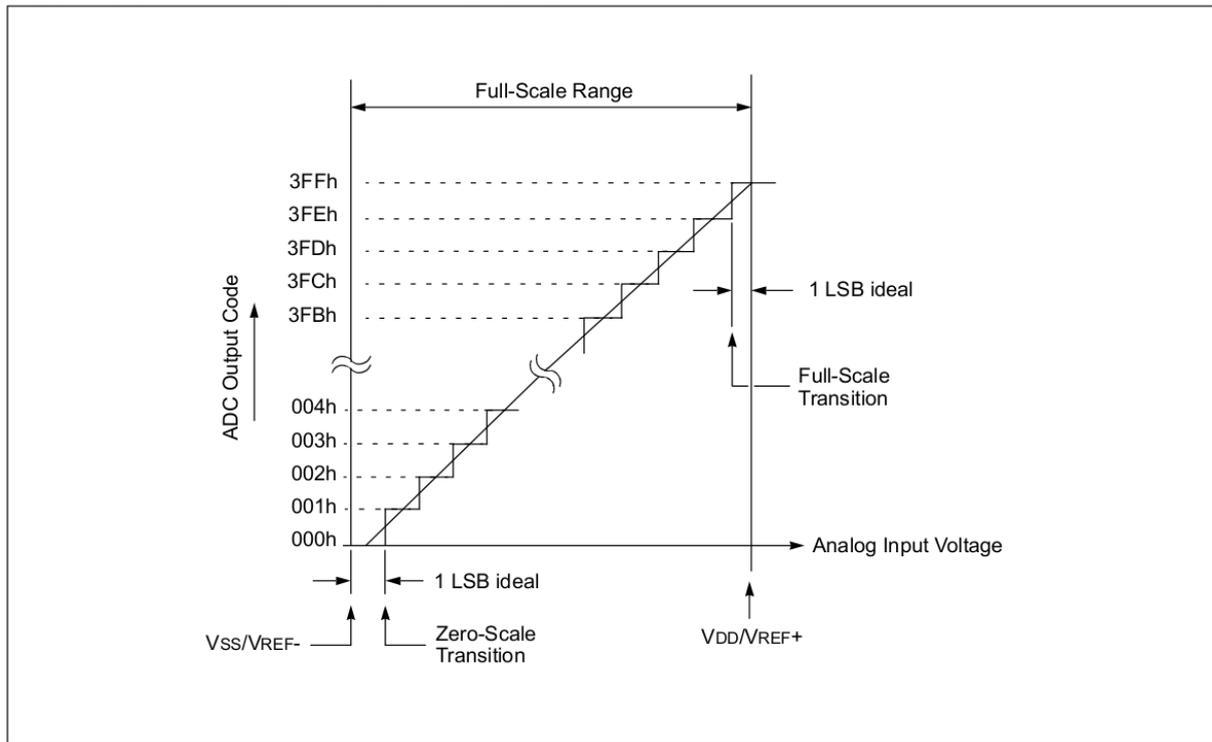


TABLE 9-2: SUMMARY OF ASSOCIATED ADC REGISTERS

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
ADCON0	ADCS1	ADCS0	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON	0000 0000	0000 0000
ADCON1	ADFM	—	VCFG1	VCFG0	—	—	—	—	0-00 ----	-000 ----
ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
ANSELH	—	—	ANS13	ANS12	ANS11	ANS10	ANS9	ANS8	--11 1111	--11 1111
ADRESH	A/D Result Register High Byte								xxxx xxxx	uuuu uuuu
ADRESL	A/D Result Register Low Byte								xxxx xxxx	uuuu uuuu
INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
PORTA	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	xxxx xxxx	uuuu uuuu
PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	uuuu uuuu
PORTE	—	—	—	—	RE3	RE2	RE1	RE0	---- xxxx	---- uuuu
TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	1111 1111	1111 1111
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	1111 111
TRISE	—	—	—	—	TRISE3	TRISE2	TRISE1	TRISE0	---- 1111	---- 111

Legend: x = unknown, u = unchanged, - = unimplemented read as '0'. Shaded cells are not used for ADC module.