



GOBIERNO
DE ESPAÑA

MINISTERIO
DE EDUCACIÓN

LOS PIC16F87X: Comunicación Serie Asíncrona. EUSART

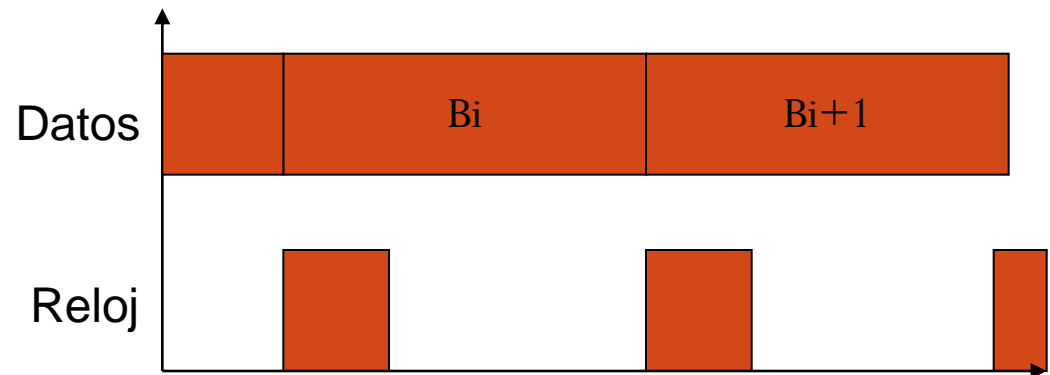
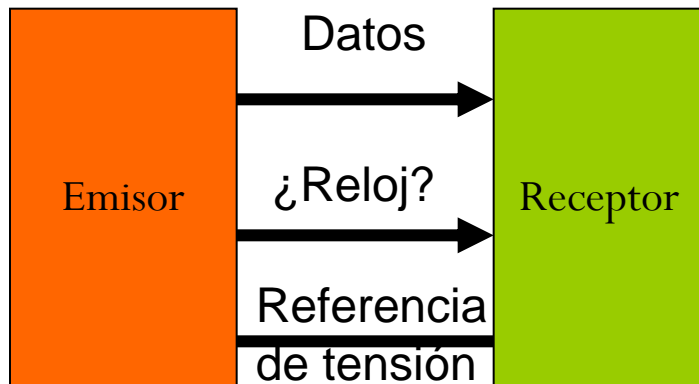
IES Juan de la Cierva



Aprendizaje de la Electrónica a través de la Robótica

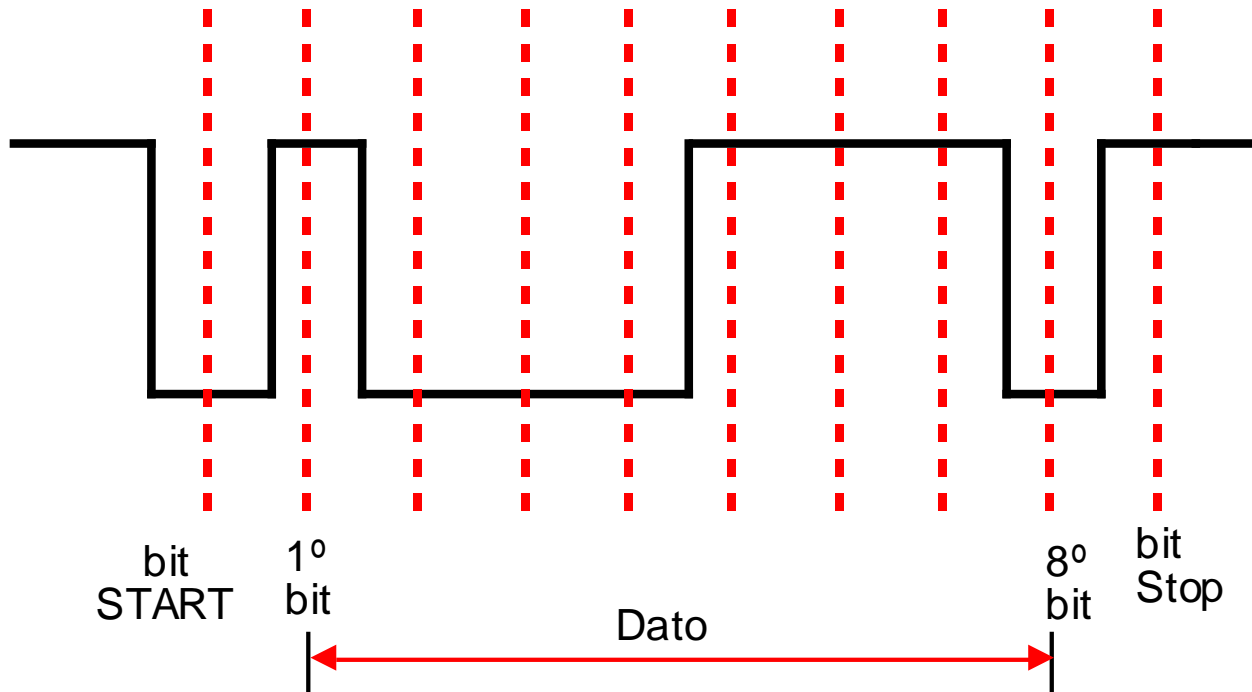
Comunicación Serie

- Los datos se envían bit a bit por una misma línea y durante un tiempo fijo.
- Velocidad de transmisión: es el número de bits por segundo (baudios)
- Transferencia síncrona: se envía señal de reloj para sincronizar cada bits.
- Transferencia Asíncrona: no se envía señal de reloj. Se necesitan relojes en el emisor y en el receptor de la misma frecuencia y fase.



Comunicación Serie asíncrona

Ejemplo de transmisión asíncrona

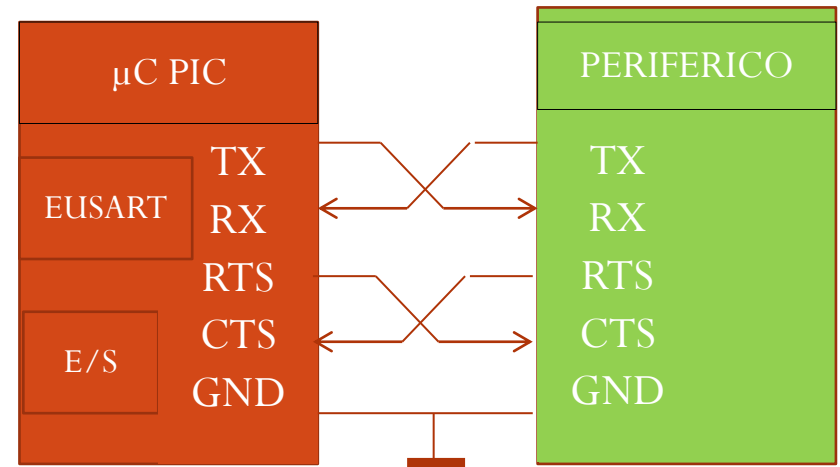


Comunicación Serie

- Los microcontroladores suelen incluir un hardware que facilita la transmisión/recepción serie y que recibe el nombre de USART(*Universal Synchronous Receiver Transmitter*), que se traduce como “Receptor/Transmisor Síncrono/Asíncrono Universal).
- En el caso de la transmisión se le carga un byte a transmitir y estos irán saliendo uno tras otro automáticamente.
- En la recepción, los bits recibidos se van empaquetando hasta formar un byte, en este momento se puede leer y procesar.

Comunicación Serie

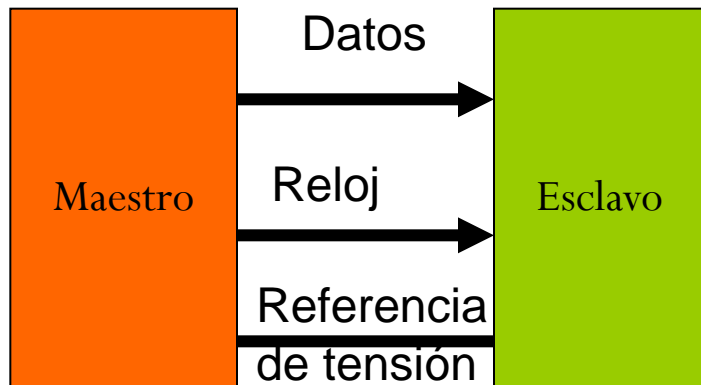
- La serie PIC16F88X incluye un módulo EUSART (*Enhanced* USART) o USART mejorada, que permite implementar un sistema de comunicaciones como el de la figura.
- Si la comunicación es unidireccional bastará con una única línea de transmisión (Tx) que conecta con una línea de recepción (Rx). Ocasionalmente puede ser necesario controlar el flujo de la información: RTS listo para recibir y CTS se puede transmitir. Estas dos señales se pueden gestionar con las líneas de E/S de propósito general.



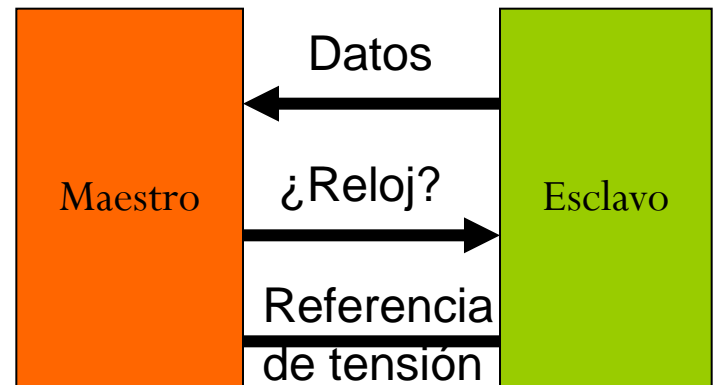
Transferencia Síncrona

- Dispositivo Maestro: el que genera la señal de reloj, es el que tiene capacidad de iniciar o finalizar una transferencia.
- Dispositivo esclavo: recibe la señal de reloj, no tiene capacidad para iniciar la transferencia de información.
- Es posible una transmisión continua de bits, no hay límite en tamaño de datos.

Maestro Emitiendo

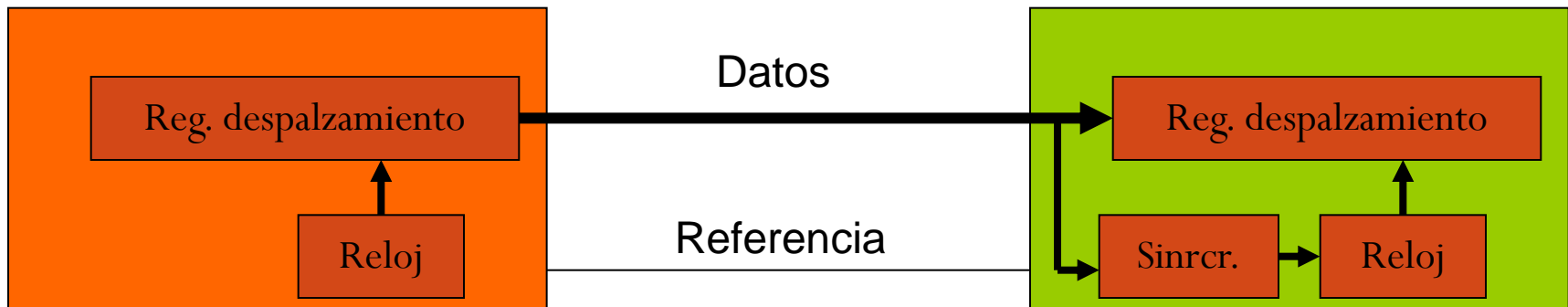


Maestro Recibiendo



Transferencia Asíncrona

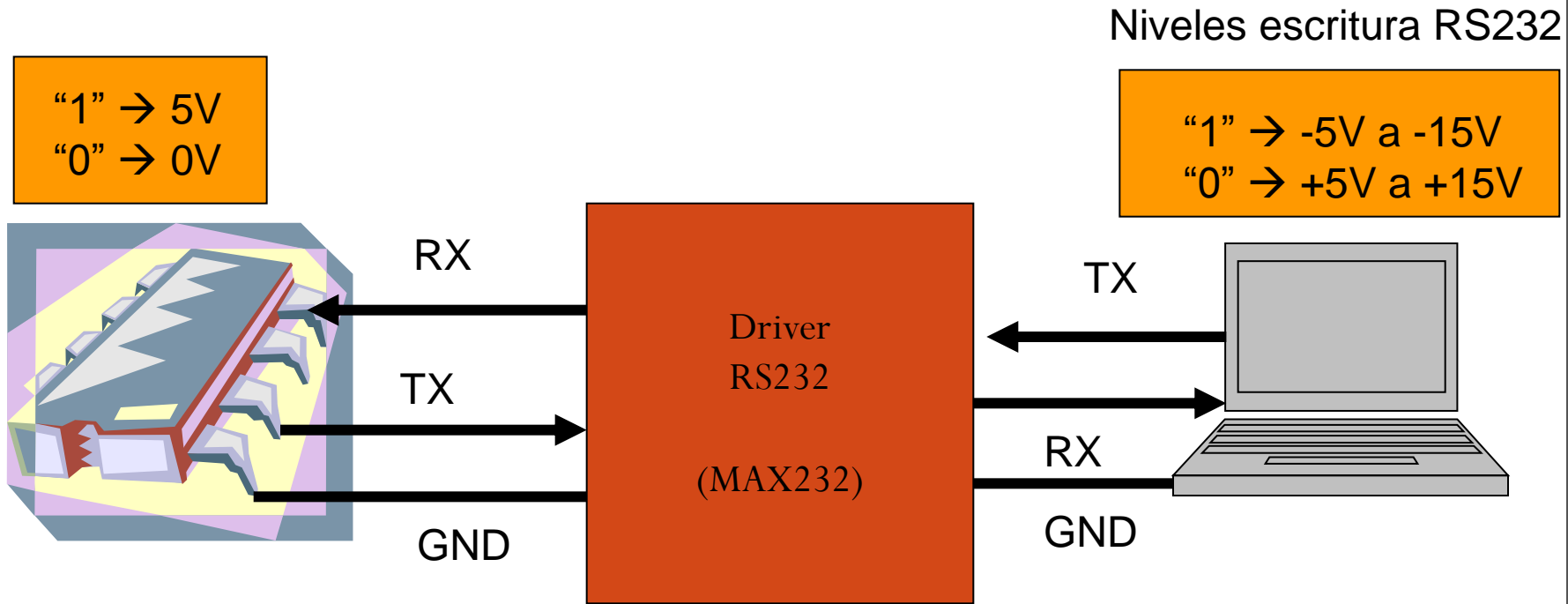
- Se emplean relojes de igual frecuencia (se acuerda y configura la velocidad de transmisión) pero es necesario que estén en fase (sincronizados)
- Cada paquete de bits de tamaño fijo se “enmarca” con bits de arranque y de parada que sirven para sincronizar los relojes del emisor y del receptor.
- La línea de datos inactiva a “1”, si se desea enviar un dato se manda un bits de arranque que sitúa a “0” la línea durante el tiempo correspondiente a un bits.
- Al finalizar el envío de un dato, la línea se sitúa a “1” al menos durante el tiempo de un bit: bit de parada.



Tipos de Comunicaciones Serie

- **Simplex**: Cuando la comunicación es en un único sentido. El PIC puede trabajar en modo síncrono o asíncrono pero, o bien transmite , o bien recibe desde el periférico.
- **Half-Duplex**: El USART debe configurarse en modo asíncrono con el que proporciona las líneas Tx de transmisión y Rx de Recepción. La comunicación es bidireccional, en ambos sentidos, pero no de forma simultanea. Primero se transmite y luego se recibe, o viceversa, pero nunca al mismo tiempo
- **Full-Duplex**: El USART también se debe configurar en modo asíncrono y proporciona las líneas Tx/Rx. La comunicación en este caso es bidireccional y simultanea.

Ejemplo típico de comunicación PIC-PC mediante puerto serie (RS232)



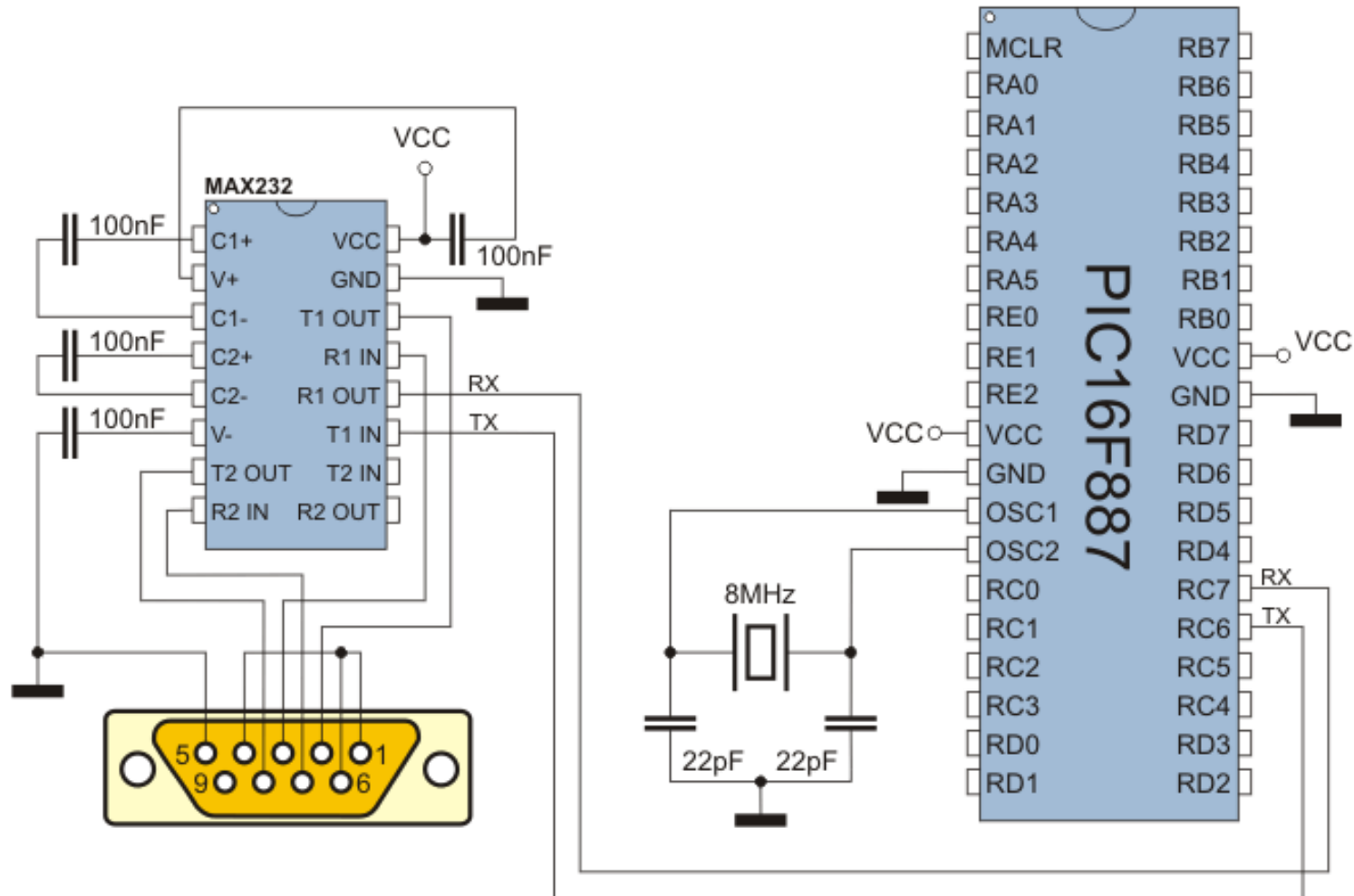
"1" → 5V
"0" → 0V

"1" → -5V a -15V
"0" → +5V a +15V

Niveles lectura RS232
"1" → -3V a -15V
"0" → +3V a +15V

Conexión a 3 hilos
Full dúplex

Ejemplo típico de comunicación PIC-PC mediante puerto serie (RS232)



Bloques para SCI en modo asíncrono

- Generador de Relación de Baudios (BRG)
 - Define la velocidad de transferencia (transmisión y recepción)
 - Genera reloj de comunicación a partir del oscilador del μC
- Circuito de muestreo
 - Detección de “1” o “0” en el pin RX
 - Sincronización de reloj
- Transmisión asíncrona
 - Registro serie de transmisión con buffer de carga
- Receptor Asíncrono
 - Registro serie de recepción con doble buffer

Comunicación Serie

- Se emplean dos registros de desplazamiento (uno es el emisor y otro en el receptor) encadenados para la conversión paralelo/serie en la emisión y la serie/paralelo en la recepción.
- Sincronizaciones:
 - De los sucesivos bits
 - De cada paquete de bits (8 o 9 bits)
- Se envía la señal de reloj si la distancia entre Emisor y Receptor es corta: menores retardos en las transiciones y menores flancos en la señal de reloj recibida.
- Codificaciones posibles en cada bits
 - NRZ (nivel alto =1 / nivel bajo = 0)
 - NRZI (cambio de nivel:1 / sin cambio de nivel:0)
 - RZ (impulso:1 / sin impulso:0)
 - ...

EL EUSART

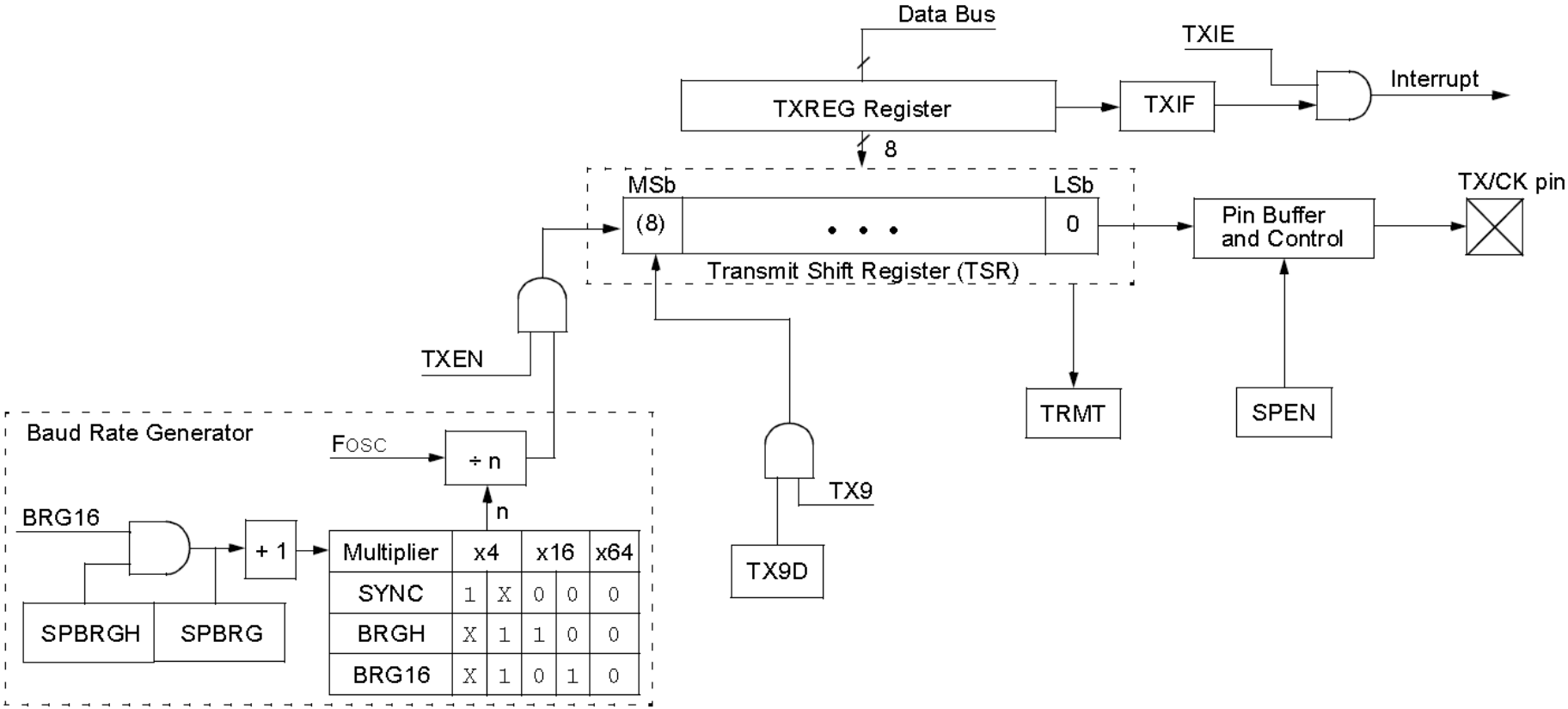
- Se trata de un módulo empleado para las comunicaciones serie con otros dispositivos
- Consta de un generador de reloj, los registros de desplazamiento y buffer necesarios, para la entrada o salida de datos serie, con una mínima intervención por parte del controlador.
- El EUSAR también es conocido como el “Interface de Comunicaciones Serie” SCI y puede configurarse como:
 - Sistema asíncrono para comunicaciones Simplex
 - Half-Duplex y Full-Duplex
 - Sistema síncrono Simplex.

EL EUSART

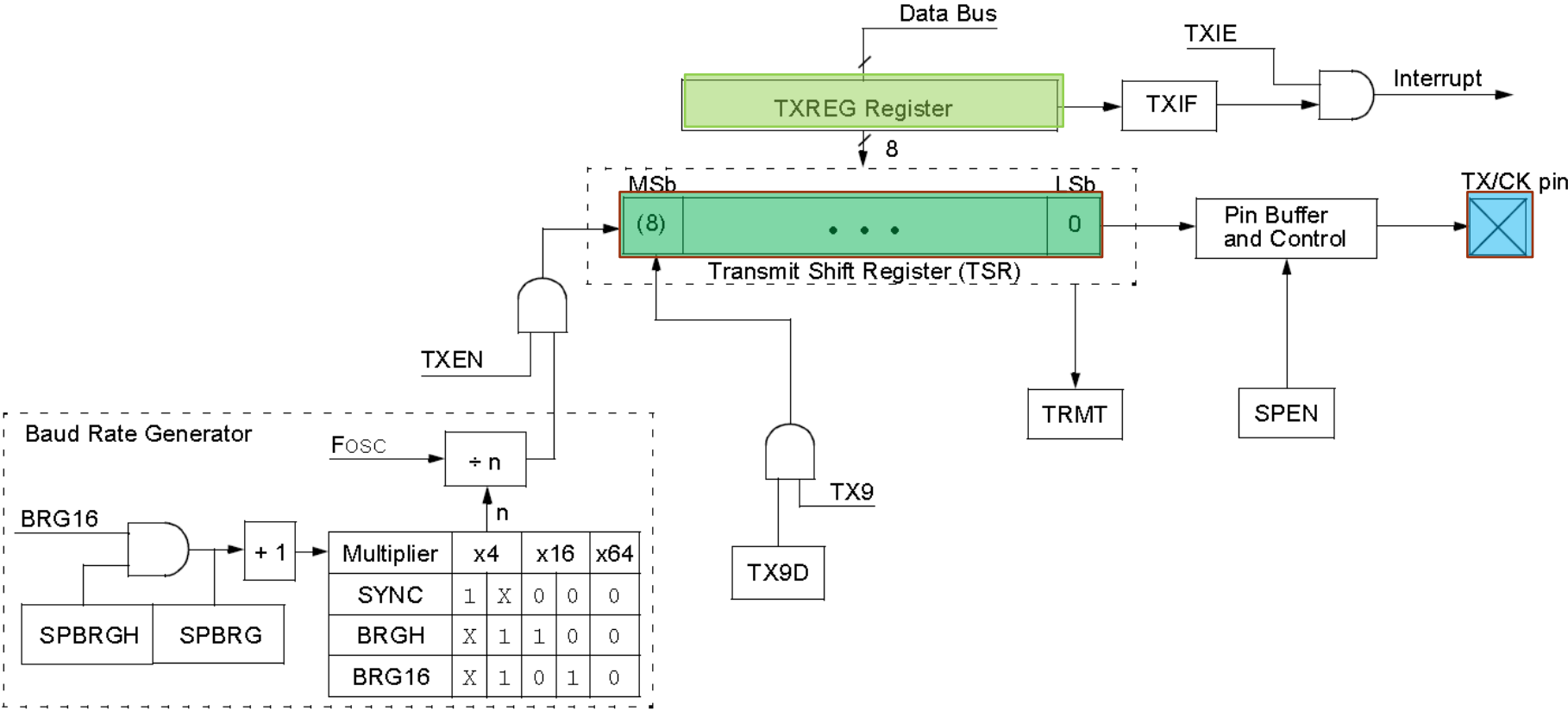
Características:

- Transmisión y recepción Full-Duplex
- Doble buffer de entrada capaz de almacenar hasta dos caracteres
- Los caracteres puede ser de 8 o 9 bits.
- Capacidad de detectar direcciones en el modo de 9bits. Se emplea para detectar diferentes dispositivos esclavos presentes en la misma línea de comunicación.
- Detección de error por desbordamiento de los buffers de entrada. Se produce cuando siguen recibándose caracteres sin haber recogido los anteriores.
- Detección de error de trama que se puede producir cuando hay alguna desavenencia entre los dispositivos que se comunican.
- La polaridad del reloj en el modo síncrono es programable.
- Detección de calibración automática de la velocidad de transferencia (baudios)
- Salida del modo *sleep* de bajo consumo (Wake-up) cuando se recibe el carácter “**Break**” que se puede considerar como una llamada de atención.
- Transmisión del carácter “**Break**” de 13 bits.

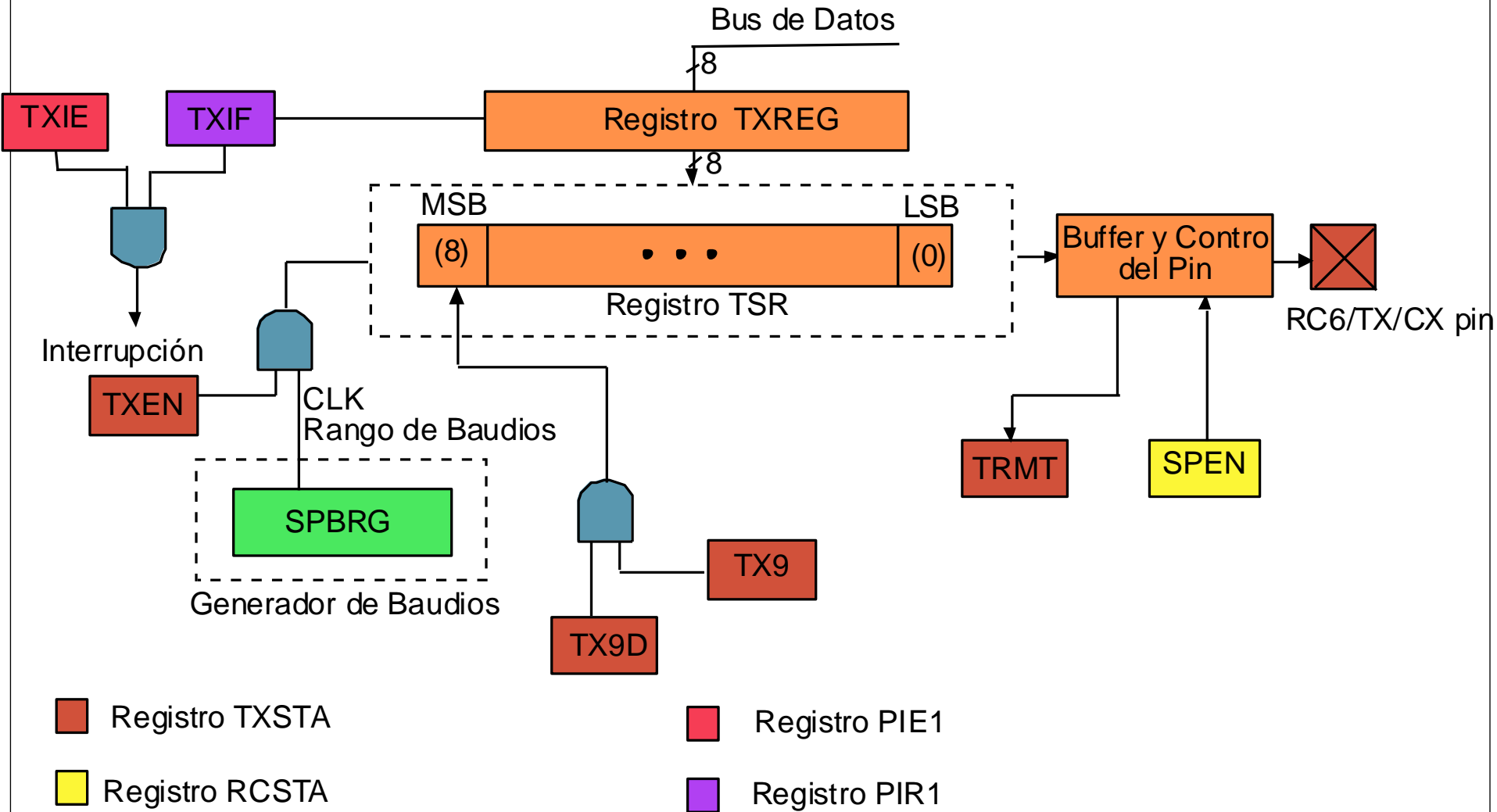
Sección Transmisora del EUSART



Sección Transmisora del EUSART



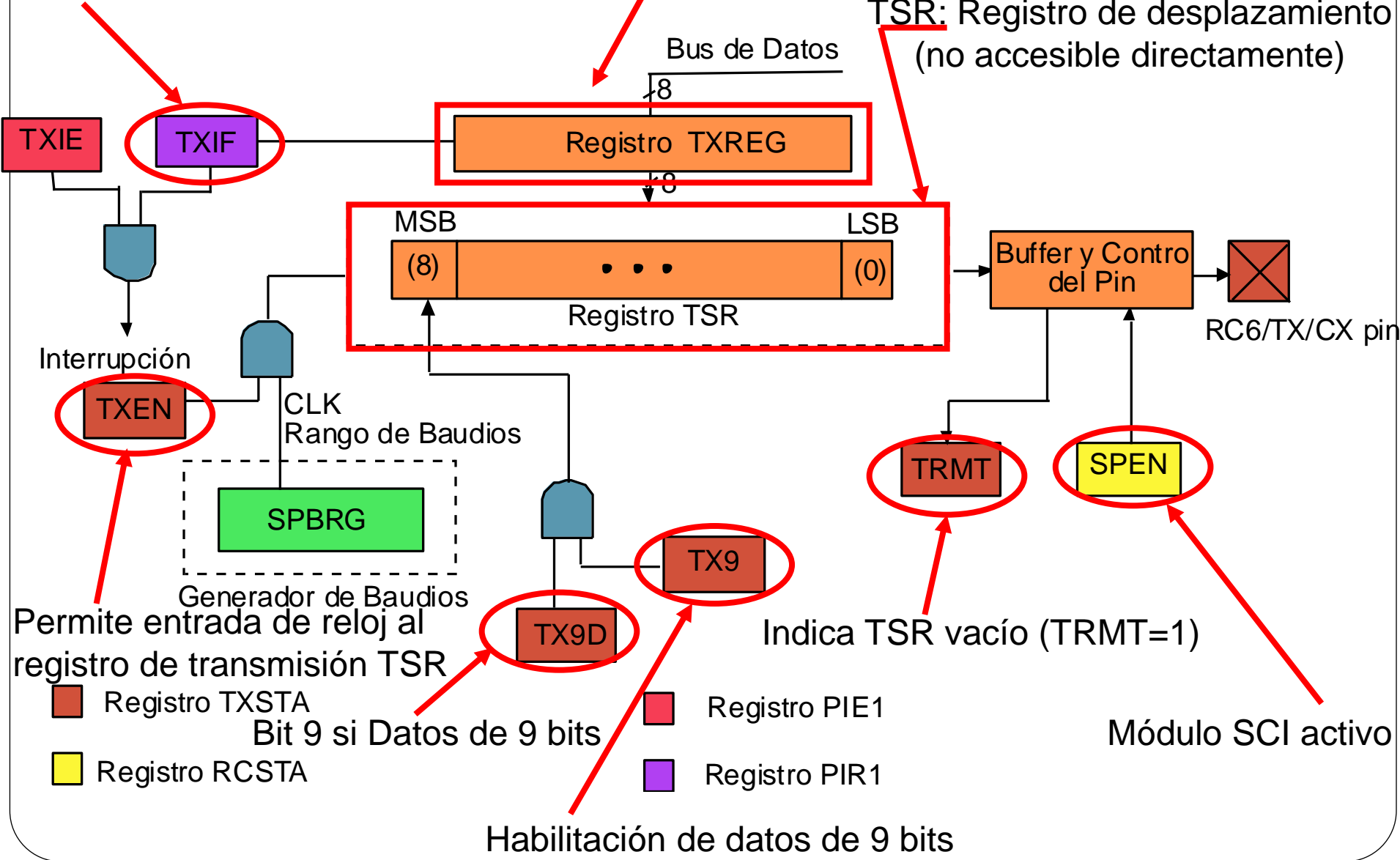
Comunicación Serie Asíncrona



TXIF=0 cada vez que se escribe un dato sobre TXREF y TXIF=1 cuando se copia en TSR

TXREG: buffer de Registro de desplazamiento (accesible para Lectura y escritura)

TSR: Registro de desplazamiento (no accesible directamente)



Permite entrada de reloj al registro de transmisión TSR

Indica TSR vacío (TRMT=1)

Módulo SCI activo

Habilitación de datos de 9 bits

- Registro TXSTA
- Registro RCSTA

- Registro PIE1
- Registro PIR1

Bit 9 si Datos de 9 bits

Sección Transmisora del EUSAR

- El circuito transmisor se base en un registro de desplazamiento de entrada paralelo y salida serie llamado **TSR**. No se puede acceder a él directamente, si no es a través del registro **TXREG**, que actúa como buffer del dato a transmitir.
- Cuando el **TSR** está vacío, el contenido de **TXREG** se copia sobre él y comienza la transmisión del nuevo carácter. Este se va desplazando bit a bit hacia la derecha y con salida por la patilla **RC6/TX/CK**. Se empieza siempre por el bit LSB.
- El bit **TXIF** del registro **PIR1** se pone a “0” cada vez que escribimos un nuevo dato sobre el registro **TXREG** y, pasa a “1” cuando el contenido de este registro se copia sobre el registro **TSR** para dar inicio a la transmisión de un nuevo carácter. En este momento si se desea se puede provocar una interrupción. El bit **TRMT** del registro **TXSA**, indica el estado del registro de desplazamiento **TSR**. Se pone a “1” cuando se encuentra vacío, sin nada que transmitir.

Sección Transmisora del EUSAR

- Puede realizarse una transmisión de 9 bits por cada carácter, para ello cargamos los 8 bits de menor peso en el registro **TSREG** y el noveno bit lo cargamos en **TX9D** del registro **TXSTA**. Para lo cual hay que habilitar el bit **TX9** del mismo registro.
- El sistema de transmisión se habilita mediante el bit TXEN. En este momento interviene el **circuito generador de baudios**, el **SPBRGH:SPBRG**, una serie de bits de control y el **oscilador principal** del sistema (F_{osc}), que establecen la velocidad de la comunicación
- El bit SPEN habilita la puerta serie y configura RC6/TX/CK. Esta puede ser línea de transmisión de datos TX o bien línea CK de reloj en modo síncrono.

Transmisión Asíncrona

- La transmisión asíncrona del EUSART se activa mediante los siguientes bits:
 - **TXEN=1** Activa la sección transmisora de EUSART
 - **SYNC=0** Selecciona el modo de transmisión asíncrona
 - **SPEN=1** Activa el propio módulo EUSART y configura la patilla RC6/TX/CK como salida de datos.
- La transmisión se inicia cuando escribimos un carácter en el registro **TXREG**. Si éste es el primero a transmitir o bien el carácter previo ha sido transmitido totalmente desde el **TSR**, el contenido de **TXREG** se copia en el **TSR**. Por el contrario, si el registro **TSR** todavía contiene todo o parte del carácter previo, el nuevo se mantiene en el registro **TXREG** hasta que se transmita el bit de stop de ese carácter previo. Es en este momento cuando el contenido de **TXREG** se copia sobre el **TSR** y comienza la transmisión del nuevo carácter.

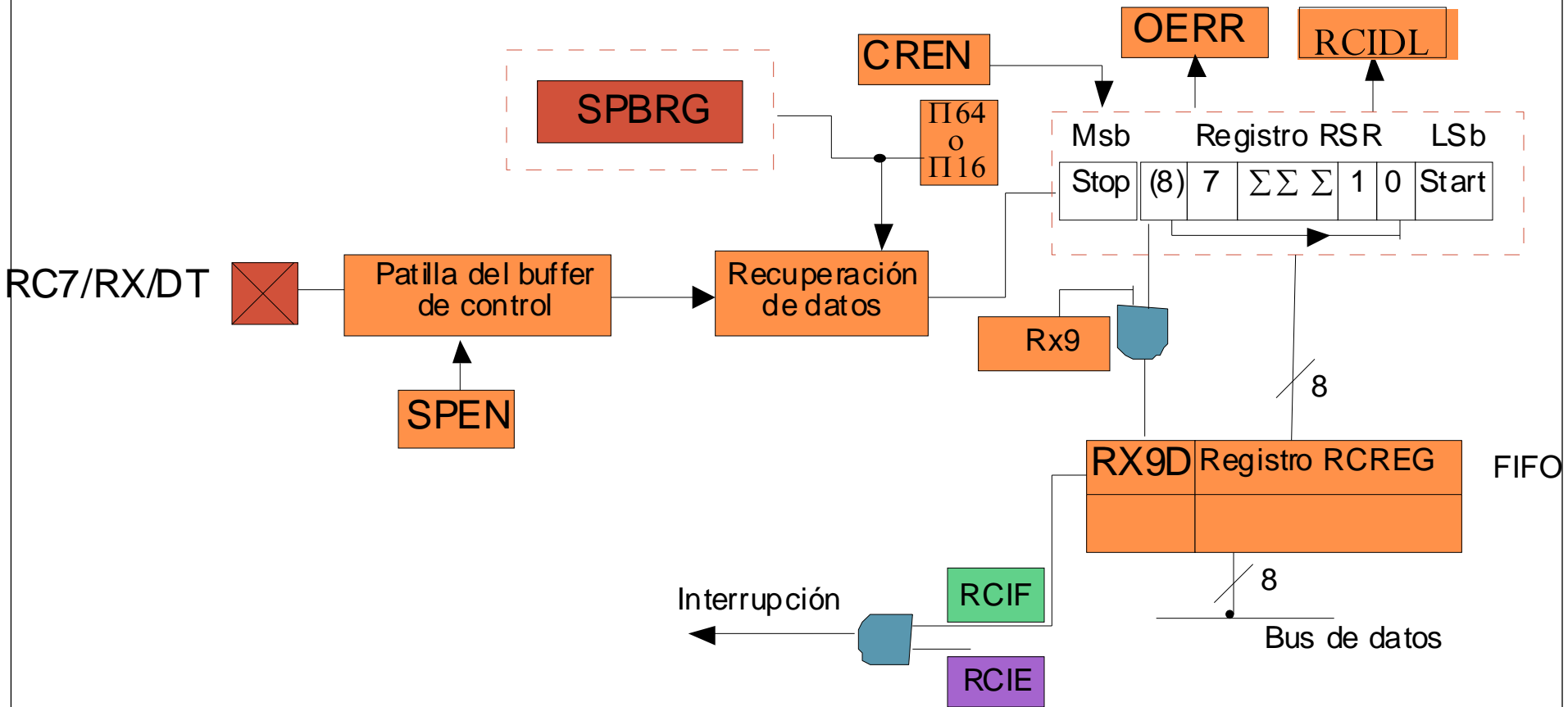
Transmisión Asíncrona

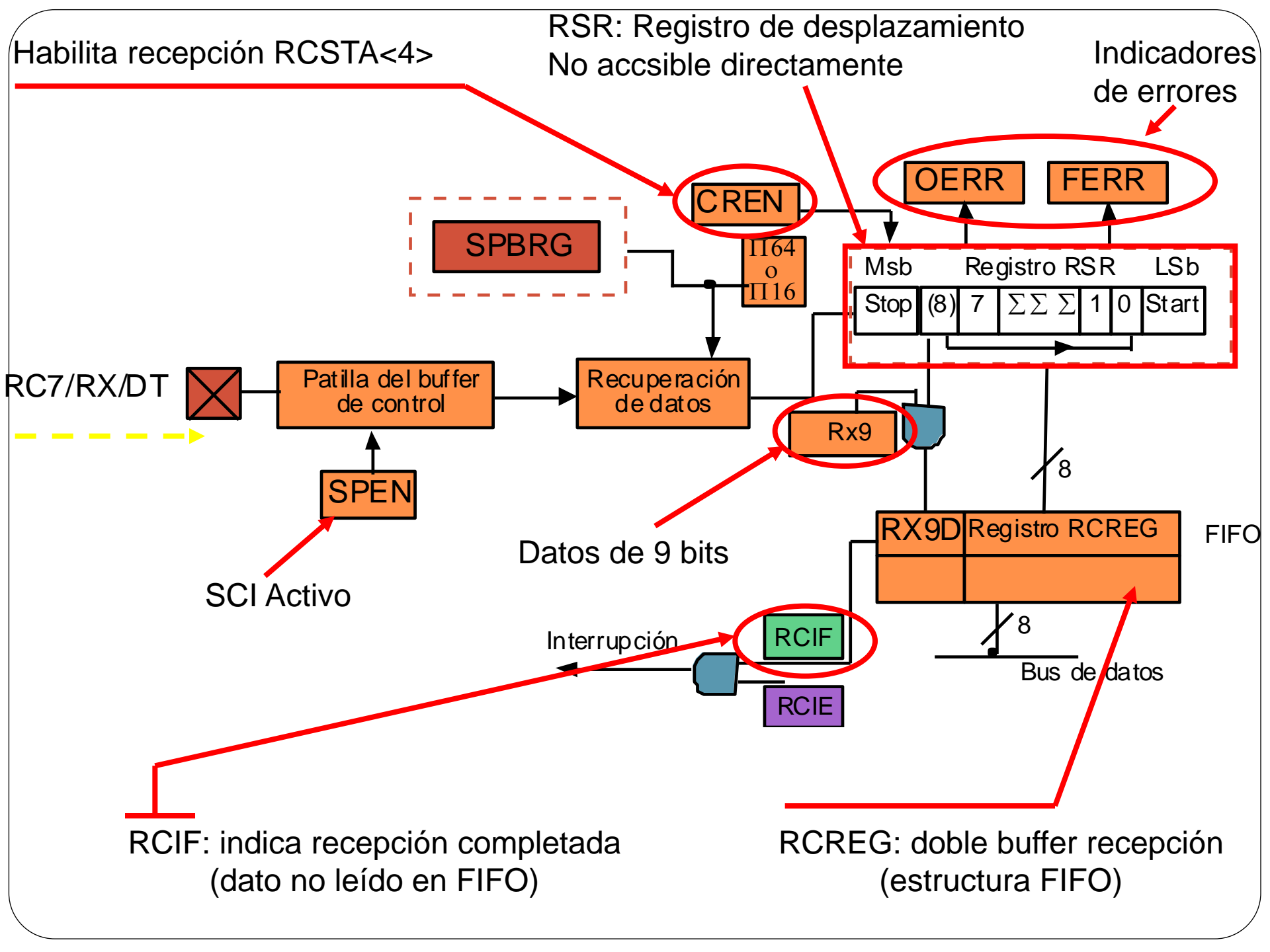
- Cuando el registro **TXREG** que actúa como buffer de transmisión está vacío, el bit **TXIF** del registro **PIR1** se activa. Esto da a entender que se puede almacenar en **TXREG** el siguiente carácter a transmitir. En este momento **TXIF** pasa de nuevo a valer “0”. Podemos habilitar la interrupción por transmisión, activando el bit **TXIE** del registro **PIE1**. Esta se producirá siempre que el registro **TXREG** queda vacío al haber transmitido un carácter.
- El bit **TRMT** del registro **TXSTA** nos indica el estado del registro de desplazamiento transmisor **TSR**. Es un bit de solo lectura que se activa cuando **TSR** está vacío (se han transmitido todos los bits). Se borra cada vez que se **TSR** se carga con un valor a transmitir proveniente de **TXREG**.

Secuencia para una transmisión Asíncrona

- Configurar **BRGH** y **BRG16** y cargar la pareja de registros **SPBRGH** y **SPBRG** para ajustar la velocidad (baudios) de comunicación.
- Seleccionar el modo asíncrono de comunicación **SYNC=0** y activar la puerta serie mediante el bit **SPEN**
- Si se desea una transmisión de 9 bits, activar el bit **TX9**.
- Activar el transmisor mediante el bit **TXEN**.
- Si se desea trabajar con interrupciones, activar el bit **TXEN** del registro **PIE1**.
- Si vamos a transmitir 9 bits, en noveno bit se debe cargar en el **TX9D**.
- Cargar los 8 bits restantes sobre el registro **TXREG**. Comienza la transmisión.

Receptor asíncrono

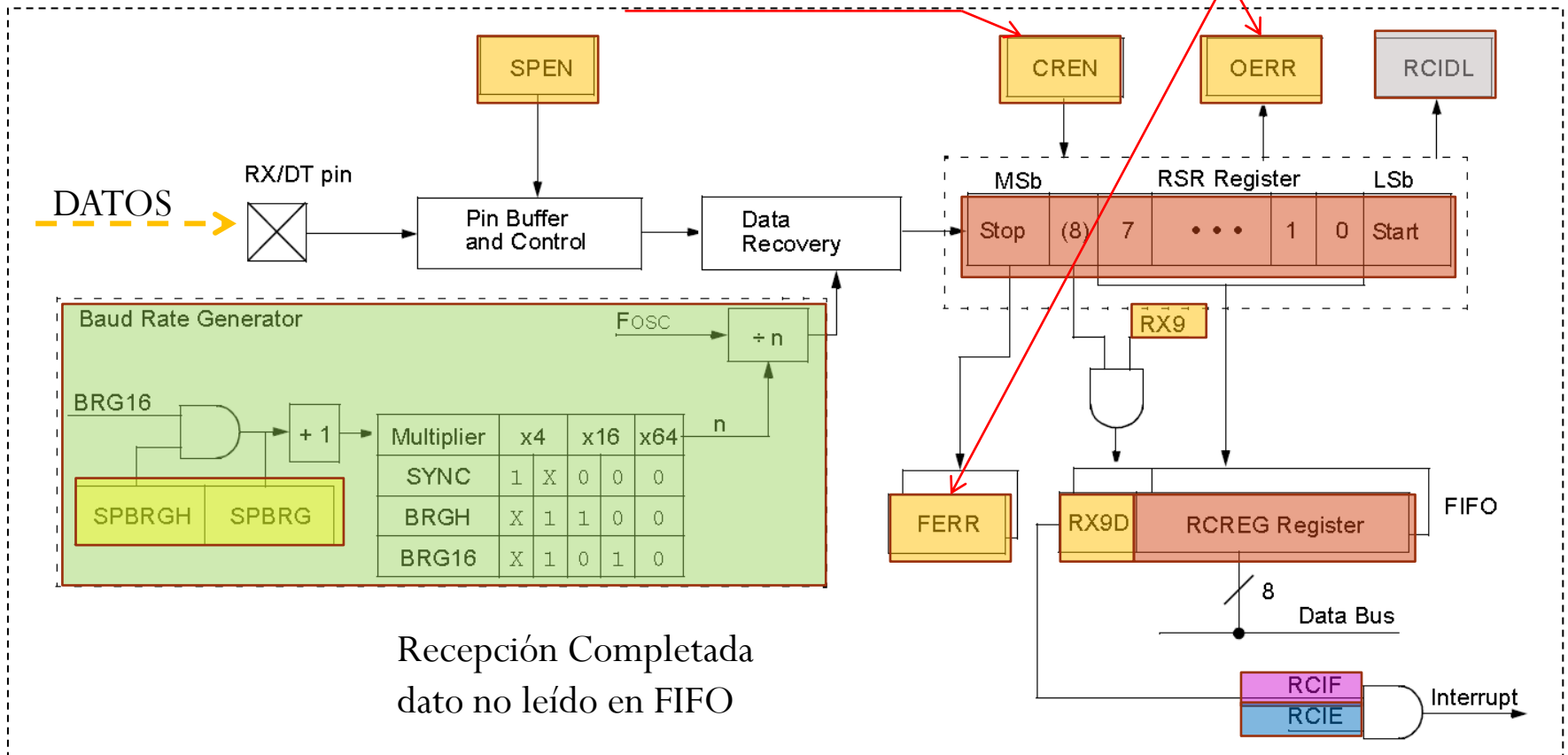




RECEPTOR ASÍNCRONO

Habilita la recepción

Indicadores de error



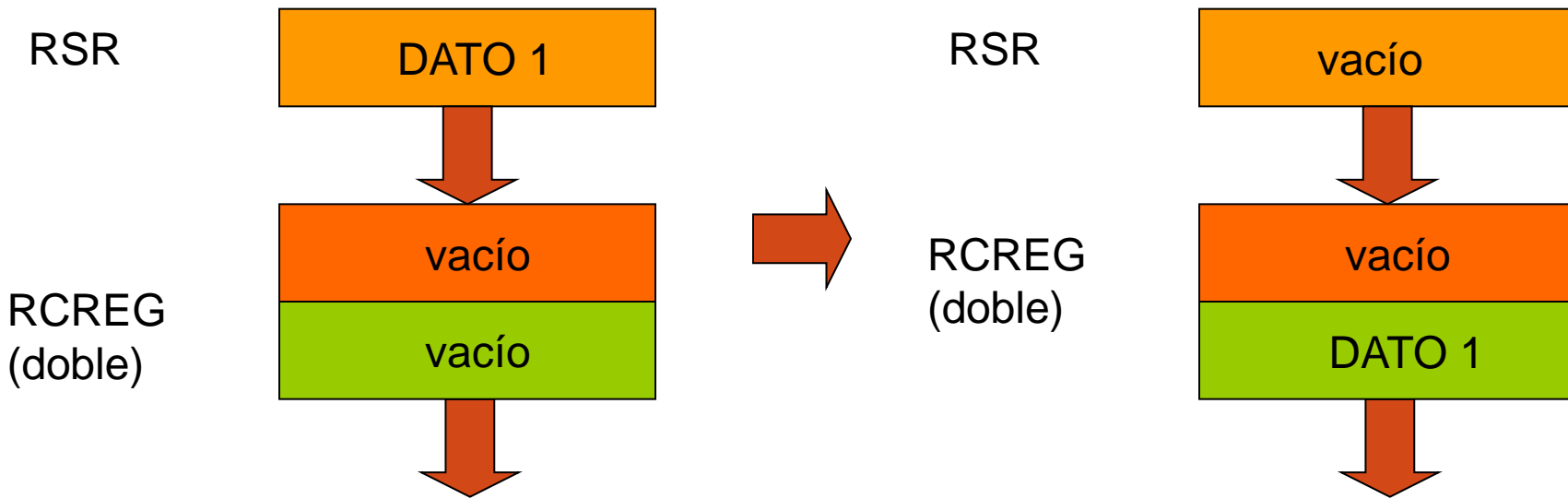
Recepción Completada
dato no leído en FIFO

- Registro BAUDCTL
- Registro RCSTA
- Registro PIR1
- Registro PIE1

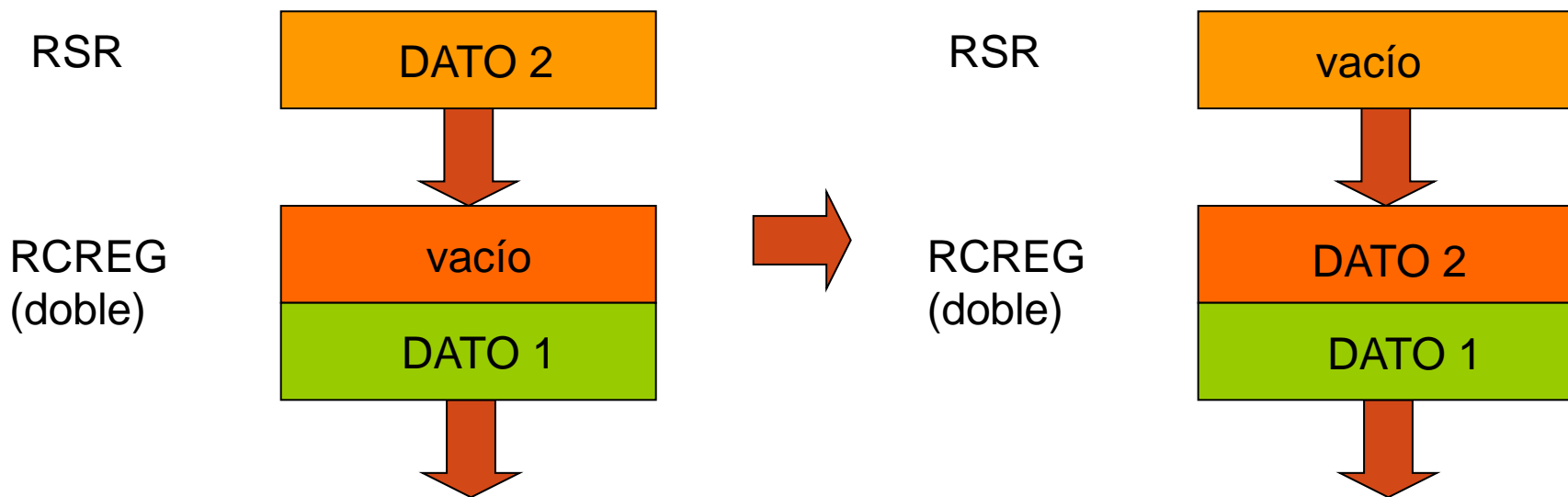
Recepción Asíncrona

- Consta del registro de desplazamiento serie **RSR** (*Receiver Shift Register*) al que no se puede acceder directamente. El bit **SPEN** del registro **RCSTA** se utiliza para habilitar la puerta serie y con ello configurar el pin **RC7/RX/DT**. Por esta patilla se van recibiendo los bits que se alojan en el registro **RSR**.
- Cuando se recibe un carácter completo el contenido de **RSR** se copia automáticamente en **RCREG** desde donde podemos leerlo.
- El Registro **RCREG** es realmente un doble registro buffer de entrada tipo FIFO (primero en entrar primero en salir) de dos niveles, capaz de almacenar dos caracteres. Cuando el **RSR** recibe un carácter, se copia sobre el primer nivel FIFO, el propio **RCREG**. Si se recibe un segundo carácter, sin haber leído el primero, se almacena en el segundo nivel. Cuando el programa lee el registro **RCREG**, leemos el primer carácter recibido y, el que hubiera en el segundo nivel, pasa automáticamente al **RCREG**. Una segunda lectura de este recibo proporciona el segundo carácter recibido. Si se recibe un tercer carácter y no se han leído los dos anteriores e produce un error de desbordamiento que se refleja en el bit **OERR**.
- Se puede dar un “**error de trama**” que pone el bit **FERR=1**. Se suele dar cuando en lugar de llegar el bit de **STOP** este no llega en el momento preciso.

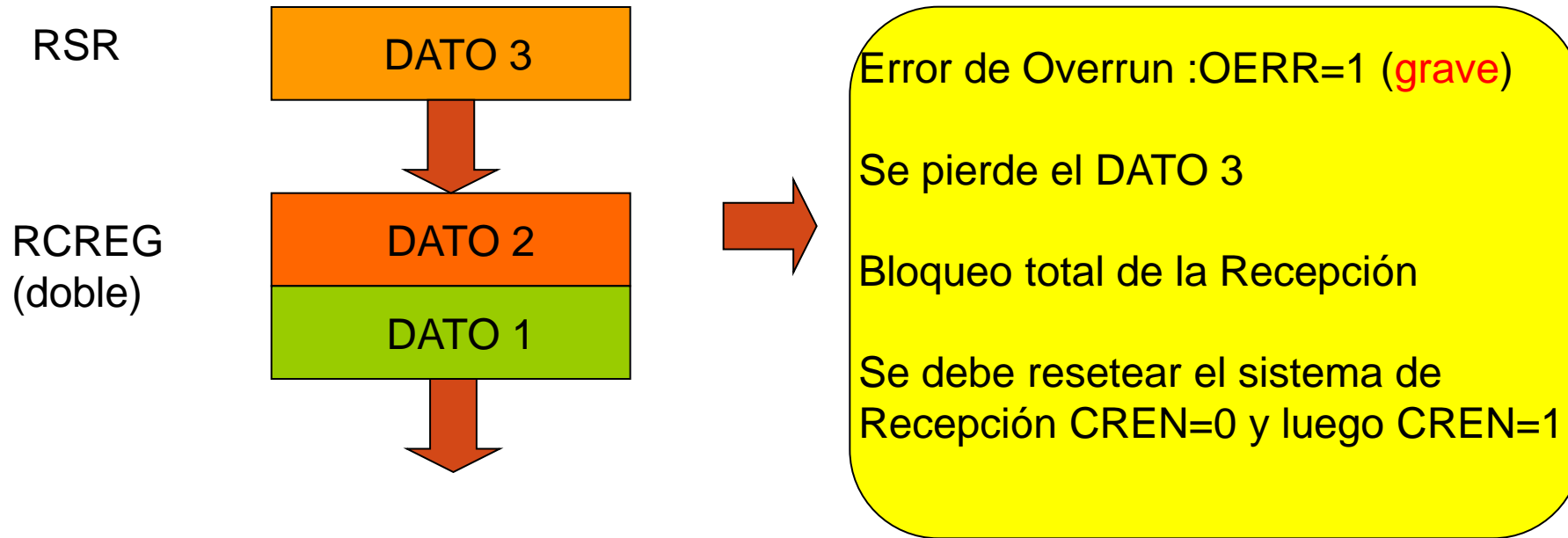
Llegada de un dato y RCREG vacío



Llegada de un segundo dato y RCREG no leído



Llegada de un tercer dato y RCREG doble no leído



Flags indicadores

- **RCIF:** (PIR1<5>) (puede activar la interrupción). Indica dato/s disponible/s para lectura en RCREG. Se pone a cero automáticamente (no por software) cuando RCREG está vacío (el doble buffer debe estarlo).
- **OERR**(=RCSTA<1>) **Error de Overrun:** hay que resetear el receptor para volver a “0”.
- **FERR:**(RCSTA<2>) **Error de trama:** el bit de STOP debería ser “0” pero lee “1” (También presenta un doble buffer FIFO).

Recepción Asíncrona

- Mediante el bit **RX9** del registro **RCSTA** se habilita la recepción de caracteres de 9 bits. En este caso el 9 bit se deposita en **RC9D** también del registro **RCSTA**. Es de suponer que el 9º bit será el del STOP, o de lo contrario también se producirá un error de trama (**OERR**).
- El bit **RCIDL**, del registro **BAUDCTL**, nos indica se el receptor está en reposo o, si por el contrario se ha recibido un bit de inicio y está por tanto recibiendo.
- Siempre que en el registro **RCREG** haya un carácter disponible, el bit **RCIF** del registro **PIE1=1**, se produce la interrupción por recepción de un carácter.
- El sistema de recepción se habilita con el bit **CREN**. En ese momento interviene el circuito generador de baudios, que determina la frecuencia con que se recibe cada bit. Es el mismo que se utiliza en el módulo transmisor. Mediante un registro generador de baudios, el **SPBRGH:SPBRG**, una serie de bits de control y el instante en que cada bit debe ser muestreado y recogido por el **RSR**.

Registro TXSTA (98h)

Registro de estado y control (Transmisor)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D
bit7							bit 0

CSRC: Bit de selección de reloj

Modo Asíncrono

Sin importancia

Modo Síncrono

1 = Modo master (reloj generado internamente para generador de baudios)

0 = Modo esclavo (reloj externo)

TX9 : Habilita transmisión de 9-8 bits

1 = Transmisión caracteres de 9 bits por carácter

0 = Transmisión caracteres de 8 bits por carácter

Registro TXSTA (98h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D
bit7							bit 0

TXEN: Bit de habilitación del transmisor

1 = Habilita transmisión

0 = Deshabilita transmisión

Nota: **SREN/CREN** anula **TXEN** en modo **SYNC**.

SYNC: Bit de selección del modo USART

1 = Modo Síncrono

0 = Modo Asíncrono

SENDB: Transmisión de carácter "Breack" (carácter especial de 12 bits todos ellos a nivel "0")

Modo asíncrono:

1= Transmite el carácter Breack en la siguiente transmisión.

0= Se ha completado la transmisión del Breack

Modo síncrono:

No se usa

Registro TXSTA (98h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D
bit7							bit 0

BRGH: Bit de selección del rango de baudios alto

Modo Asíncrono

1 = Alta velocidad

0 = Baja velocidad

Modo Síncrono

No se usa este modo

TRMT: Bit de estado del registro de desplazamiento del transmisor (TSR)

1 = Registro TSR vacío

0 = Registro TSR lleno

TX9D: Noveno bit de datos de transmisión. Se puede emplear como bit de paridad.

Registro RCSTA (18h)

Registro de estado y control (Receptor)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit7							bit 0

SPEN: Bit de habilitación del puerto serie

1 = Habilita puerto serie (configura patillas **RC7/RX/DT** y **RC6/TX/CK** para el puerto serie)

0 = Deshabilita puerto serie

RX9: Habilita recepción de 9-8 bits

1 = Selecciona caracteres de 9 bits de recepción

0 = Selecciona caracteres de 8 bits de recepción

Registro RCSTA (18h)

Registro de estado y control (Receptor)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit7							bit 0

SREN: Bit de habilitación de recepción única

Modo asíncrono

Este modo no se usa

Modo Síncrono master

1 = Habilita una recepción simple. Se generan tantos pulsos de reloj por CK como bits tenga el carácter.

0 = Deshabilita una recepción simple. Se generan tantos pulsos de reloj por la patilla RC6/TX/CK

Este bit se borra después de completar la recepción

Modo Síncrono esclavo

En este modo no se usa

Registro RCSTA (18h)

Registro de estado y control (Receptor)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit7							bit 0

CREN: Bit de habilitación de recepción continua

Modo Asíncrono

1 = Habilita recepción

0 = Deshabilita recepción

Modo Síncrono

1 = Habilita recepción continua. Se generan pulsos por la patilla RC6/TX/CK de forma continua.

0 = Deshabilita la recepción continua. Deja de generar pulsos por la patilla RC6/TXCK.

Registro RCSTA (18h)

Registro de estado y control (Receptor)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit7							bit 0

ADDEN: Bit de dirección

Modo Asíncrono con 9 bits (RX9=1)

1 = Activa la detección de dirección, activa la interrupción y descarga el buffer de recepción al activarse RSR<8>.

0 = Desactiva la detección de dirección, todos los bits son recibidos y el noveno bit puede utilizarse como bit de paridad.

FERR: Bit de error de trama

1 = Error de trama (Puede actualizarse al leer el registro **RCREG** y recibir el siguiente byte)

0 = No hay error de trama

Registro RCSTA (18h)

Registro de estado y control (Receptor)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit7							bit 0

OERR: Bit de error de desbordamiento

1 = Error de desbordamiento .

0 = No hay error de desbordamiento

RX9D: Noveno bit de datos de recepción. Se puede emplear como bit de datos , dirección o paridad.

Registro BAUDCTL(187h)

Registro de control del generador de baudios del EUSAR

R-0	R-1	U-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
ABDOVF	RCIDL	--	SCKP	BRG16	--	WUE	ABDEN
bit7							bit 0

ABDOVF: Desbordamiento en la autodetección de baudios

Modo Asíncrono

1 = Desbordamiento. No consigue autodetectar los baudios

0 = No hay desbordamiento

Modo Síncrono

No se utiliza

RCIDL: bit de estado de recepción (solo en modo asíncrono).

1 = El receptor está en reposo

0 = Se ha detectado un bit de inicio y se está recibiendo información.

Registro BAUDCTL(187h)

Registro de control del generador de baudios del EUSAR

R-0	R-1	U-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
ABDOVF	RCIDL	--	SCKP	BRG16	--	WUE	ABDEN
bit7							bit 0

SCKP: Polaridad de las señales

Modo Asíncrono

1 = Por la patilla RC6/TX/CK se transmiten invertidos los bits del carácter

0 = Por la patilla RC6/TX/CK se transmiten los bits del carácter sin invertir

Modo Síncrono

1 = Los bits se muestran en el flanco ascendente de la señal de reloj CK

0 = Los bits se muestran en el flanco descendentes de la señal de reloj CK

BRG16: Número de bits del registro generador de baudios

1 = 16 bits (SPBRGH:SPBRG)

0 = 8 bits (SPBRG)

Registro BAUDCTL(187h)

Registro de control del generador de baudios del EUSAR

R-0	R-1	U-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
ABDOVF	RCIDL	--	SCKP	BRG16	--	WUE	ABDEN
bit7							bit 0

WUE: Activación del sistema Wake-Up (despertar o salida del modo SLEEP)

Modo Asíncrono

1 = El receptor espera a recibir un flanco descendente (bit de inicio). Se pone a "0" automáticamente cuando el bit RCIF pasa a "1" (al recibir un carácter).

0 = El receptor trabaja en modo normal

Modo Síncrono

No se utiliza

ABDEN: Activación del sistema de autodetección de baudios

Modo Asíncrono

1 = Sistema de autodetección activado. Se desactiva al hacerse efectivamente la autodetección

0 = Sistema de autodetección desactivado.

Modo Síncrono

No se utiliza

Registros asociados a la transmisión

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART Receive Data Register								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
TXREG	EUSART Transmit Data Register								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDER	BRGH	TRMT	TX9D	0000 0010	0000 0010

Recepción asíncrona

- Este modo de trabajo del EUSART se activa configurando los siguientes bits:
 - **CREN=1** Activa la sección de recepción del EUSART
 - **SYNC=0** Selecciona el modo asíncrono de trabajo
 - **SPEN=1** Activa el propio módulo EUSART y configura la patilla RC7/RX/DT como entrada de datos.
- La recepción se inicia cuando se detecta un nivel “0” en la línea RC7/RX/DT. Es el bit de Inicio (Start). A partir de este instante, todos los bits en esa línea se van muestreando según la velocidad de comunicación. Van entrando y almacenándose sobre el registro de desplazamiento **RSR** del receptor, hasta completar el número de bits por carácter (8 o 9. El último bit de todos el noveno o el décimo, debe ser siempre un “1”. Es el bit de stop. De no ser así se producirá un error de trama.
- Una vez que se han recibido todos los bits de información junto con el bit de stop, el carácter contenido en el reg. **RSR** se transfiere al buffer de recepción y se activa el bit **RCIF** del registro **PIR1**. Se trata de un registro tipo FIFO de dos niveles al que se puede acceder mediante el registro **RCREG**.

Recepción asíncrona

- El bit **RCIF=1**, siempre que el buffer de recepción FIFO haya un carácter sin leer. Además si se activa **RCIE** del registro **PIE1**, se puede provocar una interrupción.
- El error de trama se refleja en el bit **FERR** del registro **RCSTA**. Se produce cuando no llega el bit de stop en el momento adecuado. Como el buffer de recepción es de dos niveles y puede por tanto albergar dos caracteres, el bit **FERR** representa el posible error de trama correspondiente al carácter que aún no ha sido leído, el que está al principio de la **FIFO**. Por este motivo el bit **FERR** debe leerse antes de leer el registro **RCREG**.
- Si teniendo dos caracteres en el buffer se recibe otro carácter, se genera un error que pone el bit **OERR=1** del registro **RCSTA**. Los caracteres almacenados se pueden leer pero no se reciben más caracteres hasta que no se borre el error. Esto se puede hacer desconectando el receptor poniendo **CREN=0** o bien reiniciando el USART poniendo **SPEN=0**.

Secuencia para la recepción asíncrona.

- Configurar los bits **BRGH** y **BRG16** y cargar la pareja de registros **SPBRGH:SPBRG** para ajustar la velocidad de comunicación.
- Activar el **EUSART** mediante el bit **SPEN**. El bit **SYNC** se debe poner a “0” para el modo asíncrono de comunicación.
- Si se desea provocar una interrupción tras la recepción de un carácter, activaremos el bit **RCIE** del registro **PIE1** así como los bit **PEIE** y **GIE** del registro **INTCON**.
- Si deseamos hacer una recepción de caracteres de 9 bits, debemos activar el bit **RX9**.
- Activar el receptor mediante el bit **CREN**.
- Cuando se reciba un carácter y éste pase desde el registro **RSR** al buffer **RCREG** de recepción, se activa el bit **RCIF** y si, se procede, se producirá una interrupción.
- Leer el registro **RCSTA** para ver si hay algún tipo de error, o leer el noveno bit si estamos recibiendo caracteres de 9 bits.
- Leer desde el buffer de recepción el registro **RCREG** para obtener los 8 bits de menos peso del carácter recibido.
- Si se ha producido desbordamiento debemos borrar el bit **OERR** desactivando el receptor mediante el bit **CREN**.

Generador de Relación de Baudios (BGR)

- Se emplea para determinar la frecuencia de reloj para los registros de desplazamiento de los bloques de transmisión y de recepción.
- Depende del valor X cargado en el registro de generación de la relación de baudios **SPBRGH:SPBRG** (direcciones 0x9A:0x99) , del estado del registro **TXSTA** y del bit **BRG16** del registro **BAUDCTL** que indica si se utiliza solo el registro **SPBRG** o la pareja de registros **SPBRGH:SPBRG**

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D
bit7							bit 0

1= Modo Síncrono ó 0= modo asíncrono

$BRGH = 1$ (velocidad alta):baudios = $f_{osc}/16*(x+1)$
 $BRGH = 0$ (Velocidad baja):baudios = $f_{osc}/(64*(x+1))$

Nota.- Esto es valido para SCI Asíncrono (en modo síncrono BRGH se ignora y es otra formula)

Generador de Relación de Baudios (BGR)

Bits de configuración			Modo	Ecuación
SYNC	BRG16	BRGH		
0	0	0	Asíncrono con 8 bits de rango bajo	$Baudios = \frac{F_{osc}}{[64(n + 1)]}$
0	0	1	Asíncrono con 8 bits y rango alto	
0	1	0	Asíncrono con 16 bits y rango bajo	$Baudios = \frac{F_{osc}}{[16(n + 1)]}$
0	1	1	Asíncrono con 16 bits y rango alto	
1	0	X	Síncrono con 8 bits	$Baudios = \frac{F_{osc}}{[4(n + 1)]}$
1	1	X	Síncrono con 16 bits	

Generador de Relación de Baudios

- Para una Frecuencia de 4 MHz se desea una velocidad de 19200 Baudios. Para **BRGH=0** y **BRG16=0**.

$$\text{Baudios} = \frac{F_{osc}}{[64(n+1)]} \quad \text{despejando } n$$

$$n = \frac{F_{osc}}{64 \times \text{Baudios Deseados}} - 1 \quad \text{luego}$$

$$n = \frac{4.000.000}{64 \times 19200} - 1 = 2,2 \approx 2 \quad \text{por lo tanto los Baudios calculados serán:}$$

$$\text{Baudios calculados} = \frac{4.000.000}{[64(2+1)]} = 20833 \quad \text{y el error}$$

$$\text{Error} = \frac{\text{Baudios calculados} - \text{Baudios deseados}}{\text{Baudios deseados}} \times 100$$

$$\text{luego} \quad \text{Error} = \frac{20833 - 19200}{19200} \times 100 = 8,5\%$$

Generador de Relación de Baudios

- Para una Frecuencia de 4 MHz se desea una velocidad de 19200 Baudios. Para **BRGH=1** y **BRG16=0**.

$$\text{Baudios} = \frac{F_{osc}}{16(n+1)}$$

despejando n

$$n = \frac{F_{osc}}{16 \text{ Baudios Deseados}} - 1 \quad \text{luego}$$

$$n = \frac{4.000.000}{16 \cdot 19200} - 1 = 12,02 \approx 12 \quad \text{por lo tanto los Baudios calculados}$$

serán: $\text{Baudios calculados} = \frac{4.000.000}{16(12+1)} = 19230,76$ y el error

$$\text{Error} = \frac{\text{Baudios calculados} - \text{Baudios deseados}}{\text{Baudios deseados}} \times 100$$

$$\text{luego} \quad \text{Error} = \frac{19230 - 19200}{19200} \times 100 = 0,16\%$$

Ejemplos con SYNC=0, BRG=1 y BRG16=0

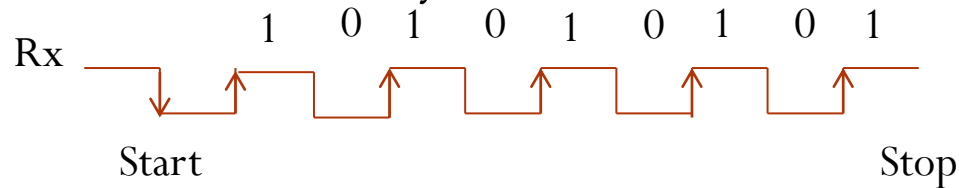
BAUD RATE	SYNC = 0, BRGH = 1, BRG16 = 0											
	F _{osc} = 4.000 MHz			F _{osc} = 3.6864 MHz			F _{osc} = 2.000 MHz			F _{osc} = 1.000 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	—	—	—	—	—	—	—	—	—	300	0.16	207
1200	1202	0.16	207	1200	0.00	191	1202	0.16	103	1202	0.16	51
2400	2404	0.16	103	2400	0.00	95	2404	0.16	51	2404	0.16	25
9600	9615	0.16	25	9600	0.00	23	9615	0.16	12	—	—	—
10417	10417	0.00	23	10473	0.53	21	10417	0.00	11	10417	0.00	5
19.2k	19.23k	0.16	12	19.2k	0.00	11	—	—	—	—	—	—
57.6k	—	—	—	57.60k	0.00	3	—	—	—	—	—	—
115.2k	—	—	—	115.2k	0.00	1	—	—	—	—	—	—

Ejemplos con SYNC=0, BRG=0 y BRG16=1

BAUD RATE	SYNC = 0, BRGH = 0, BRG16 = 1											
	F _{osc} = 4.000 MHz			F _{osc} = 3.6864 MHz			F _{osc} = 2.000 MHz			F _{osc} = 1.000 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	300.1	0.04	832	300.0	0.00	767	299.8	-0.108	416	300.5	0.16	207
1200	1202	0.16	207	1200	0.00	191	1202	0.16	103	1202	0.16	51
2400	2404	0.16	103	2400	0.00	95	2404	0.16	51	2404	0.16	25
9600	9615	0.16	25	9600	0.00	23	9615	0.16	12	—	—	—
10417	10417	0.00	23	10473	0.53	21	10417	0.00	11	10417	0.00	5
19.2k	19.23k	0.16	12	19.20k	0.00	11	—	—	—	—	—	—
57.6k	—	—	—	57.60k	0.00	3	—	—	—	—	—	—
115.2k	—	—	—	115.2k	0.00	1	—	—	—	—	—	—

Detección automática de Baudios

- Una de las mejoras de EUSART es su capacidad para detectar automáticamente los baudios de comunicación, y consecuentemente calibrar los registros **SPBRGH:SPBRG**
- El proceso de autodetección se inicia cuando se activa **ABDEN** del registro **BAUDCTL**. En este momento el EUSART queda a la espera de recibir la línea RC7/RX/DT el carácter “U” = $0x55 = 01010101b$, cuando se recibe junto con el bit de stop el receptor del EUSART cuenta 5 flancos ascendentes correspondientes a 4 ciclos idénticos de periodo. El tiempo transcurrido en recibir esos cinco flancos permite calcular la duración de cada bit y con ello los baudios.



- Recibido el carácter “U” la autodetección se desactiva automáticamente borrando el bit ABDEN. Los registros SPBRGH:SPBRG quedan calibrados y cargados con el valor correspondiente a la velocidad. El bit de interrupción RCIF se activa y el carácter “U” recién recibido puede leerse desde el registro RCREG para poner RCIF nuevamente a “0”

Módulo SCI

Configurable en tres modos de trabajo

1. Asíncrono (full dúplex)

- Recepción y transmisión independientes compartiendo generador de relación de baudios (BGR)
 - TX: pin de transmisión (Salida)
 - RX: pin de recepción (Entrada)

2. Síncrono modo Maestro (semi dúplex)

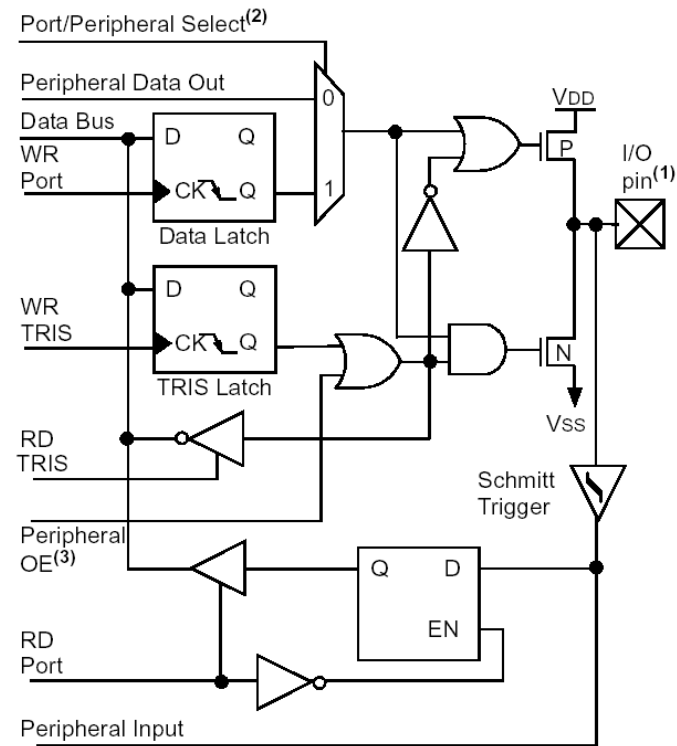
- CK: reloj generado por el PIC (salida)
- DT: datos entrantes (recepción) o salientes (Transmisión)

3. Síncrono modo Esclavo (semi duplex)

- CK: reloj entrante
- DT: datos entrantes (recepción) o salientes (Transmisión)

Módulo SCI

- Los pines relacionados con las comunicaciones no es necesario configurarlos como salida en el TRISC, si está operativo el módulo prevalecen sobre el registro de dirección de datos.
- Registros asociados al SCI:
 - Registro de control de estado **TXSTA & RCSTA**
 - Registro de Relación de Baudios **SPBRG**
 - Registro de datos de transmisión **TXREG**
 - Registro de recepción de datos **RCSTA**



- Note 1:** I/O pins have diode protection to VDD and VSS.
- Note 2:** Port/Peripheral select signal selects between port data and peripheral output.
- Note 3:** Peripheral OE (output enable) is only activated if peripheral select is active.

Módulo SCI en la transmisión Asíncrona

- Es la conexión más adecuada para la comunicación con un equipo alejado
- Los niveles lógicos de las señales se corresponden con los niveles eléctricos de alimentación del microcontrolador
- Hay varias normas de transmisión asíncrona: RS232, RS485, RS422... Que emplean niveles de tensión más inmunes al ruido (RS232) o que emplean tensiones diferenciales (RS485, RS422) y que son más apropiadas para distancias largas entre dispositivos.
- Para implementar estas transmisiones, sería necesario la adaptación de niveles eléctricos mediante los correspondientes circuitos integrados de adaptación (*drivers* o *transceivers*)
- Si los microcontroladores a comunicar están cercanos podría obviarse esa adaptación.

Centros participantes en el proyecto: “Aprendizaje de la Electrónica a través de la Robótica” 2009-2011



- IES Politécnico Jesús Marín (Málaga)
- IES Juan de la Cierva (Madrid)
- IES Luis de Lucena (Guadalajara)
- IES María Moliner (Segovia)
- IES Joan Miró (San Sebastián de los Reyes. Madrid)
- IES Virgen de las Nieves (Granada)
- IES Torreón del Alcázar (Ciudad Real)