

12.0 Transmisor Receptor Síncrono Asíncrono Universal Mejorado. EUSART.

El módulo Transmisor Receptor Síncrono Asíncrono Mejorado, en adelante, EUSART, es un periférico de comunicación serie de entrada/salida. Contiene todos los generadores de reloj, registros de desplazamiento y buffers de datos necesarios para realizar una transferencia serie de datos de entrada o salida, independientemente del programa que esté ejecutando el pic.

El módulo EUSART, también conocido como "Interfaz de comunicaciones Serie" (SCI), puede ser configurado como un sistema asíncrono full-duplex o síncrono half-duplex. El modo full-duplex es útil para comunicaciones con periféricos como terminales CRT y ordenadores personales. El modo half-duplex síncrono está destinado para comunicaciones con periféricos como, conversores A/D – D/A, memorias EEPROM serie o con otros microcontroladores. Estos dispositivos, normalmente, no disponen de un reloj interno para generar la señal de "baud rate" interna y requieren de una señal externa de reloj proporcionada por un dispositivo síncrono maestro.

El módulo EUSART incluye las siguientes características:

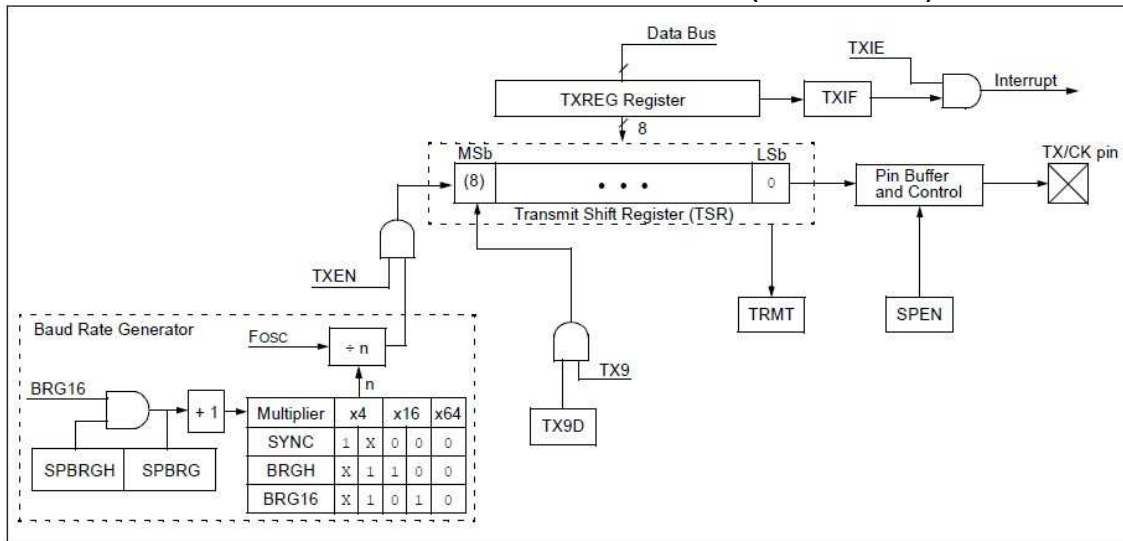
- Transmisión y recepción asíncrona full-duplex
- Buffer de entrada de dos caracteres
- Buffer de salida de un carácter
- Longitud de carácter programable de 8 o 9 bits
- Detección de dirección en modo de 9 bits
- Detección de error por desbordamiento del buffer de entrada
- Detección de error en el formato del carácter recibido
- Funcionamiento en half-duplex como dispositivo master síncrono
- Funcionamiento en half-duplex como dispositivo esclavo síncrono
- Polaridad del reloj programable en modo síncrono
- Funcionamiento en modo "Sleep"

El módulo EUSART incluye además las siguientes características adicionales, haciéndolo adecuado para usarlo en sistemas de buses de redes de interconexión local (LIN):

- Detección y calibración automática de la velocidad de transmisión
- Posibilidad de "despertar" con la recepción de un carácter "Break"
- Transmisión de un carácter break de 13 –bits

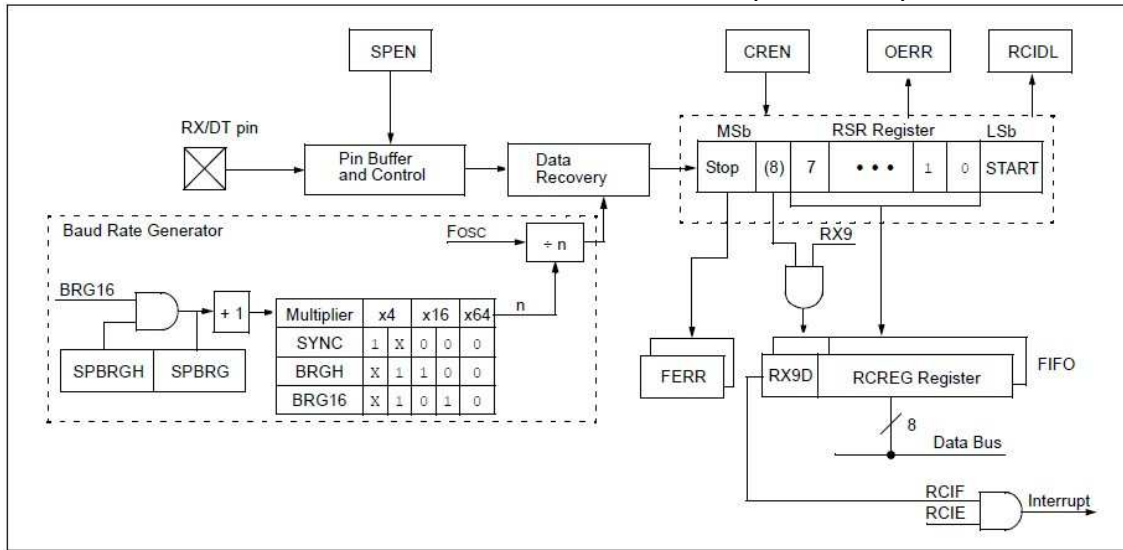
Los diagramas de bloques del módulo EUSART se muestran en las figuras 12-1 y 12-2.

FIGURA 12-1 DIAGRAMA DE BLOQUES DEL EUSART (TRANSMISIÓN)



PIC16F882/883/884/886/887

FIGURA 12-2 DIAGRAMA DE BLOQUES DEL EUSART (RECEPCIÓN)



El funcionamiento del módulo EUSART está controlado por tres registros:

- (TXSTA) Control y estado de la transmisión
- (RCSTA) Control y estado de la recepción
- (BAUDCTL) Control de la velocidad de transmisión

Estos registros están detallados en los apartados:

“Registro 12-1”, “Registro 12-2” y “Registro 12-3”, respectivamente.

12.1 EUSART en modo Asíncrono

El EUSART transmite y recibe datos usando el formato estándar (NRZ) “Non-return-to-zero”. El formato NRZ se implementa con dos niveles: una

marca o nivel alto (V_{OH}) que representa el bit '1' y un espacio o nivel bajo (V_{OL}) que representa el bit '0'. El formato NRZ considera el hecho de que bits de datos del mismo valor, transmitidos de forma consecutiva, permanecen al mismo nivel de salida sin volver al nivel neutral entre cada bit transmitido. Un puerto de transmisión NRZ permanece a la espera cuando tiene un nivel alto. El carácter transmitido consiste en un bit de "Start" seguido por ocho o nueve bits de datos y termina siempre con uno o más bits de "Stop". El bit de "Start" es siempre un espacio (nivel bajo) y el o los bits de "Stop" son siempre marcas (niveles altos).

El formato de datos más utilizado es el de 8 bits. Cada bit transmitido perdura durante un periodo de (1/Velocidad de transmisión). Un generador interno dedicado de velocidad de transmisión de 8 o 16 bits es el encargado de derivar las frecuencias de transmisión desde el oscilador. En la Tabla 12-5 se pueden ver ejemplos de configuración de distintas velocidades de transmisión (Baud rate).

El EUSART transmite y recibe el LSB (bit menos significativo) primero. El transmisor y el receptor del EUSART son independientes, pero comparten el mismo formato de datos y velocidad de transmisión (Baud rate). El control de paridad no está soportado por el hardware, pero puede ser implementado por software y almacenado como el noveno bit de datos.

12.1.1 EUSART como transmisor asíncrono

El diagrama de bloques del transmisor del EUSART se muestra en la figura 12-1. El corazón del transmisor es el Registro de Desplazamiento de Transmisión Serie (TSR). A este registro no se puede acceder por software. El (TSR) obtiene los datos del buffer de transmisión (registro TXREG).

12.1.1.1 Habilitación del transmisor

El transmisor del EUSART se habilita para operaciones asíncronas configurando los tres bits de control siguientes:

- TXEN = 1
- SYNC = 0
- SPEN = 1

Se supone que todos los demás bits de control permanecen en su estado por defecto.

Poniendo a uno el bit TXEN del registro TXSTA habilita la circuitería del transmisor del EUSART.

Poniendo a cero el bit SYNC del registro TXSTA configura el EUSART para operaciones asíncronas.

Poniendo a uno el bit SPEN del registro RCSTA habilita el EUSART y, automáticamente, configura el pin RC6/TX/CK como pin de salida.

Si se comparte el pin RC6/TX/CK con un periférico analógico la función de entrada/salida analógica

debe ser deshabilitada poniendo a cero el bit ANSEL correspondiente.

Nota 1: Cuando el bit SPEN se pone a uno el pin RC7/RX/DT se configura como entrada de forma automática, independientemente del estado del bit correspondiente en el registro TRIS y esté o no habilitado el receptor de la EUSART. El pin RC7/RX/DT se puede leer haciendo una lectura normal del puerto pero el latch de salida del puerto permanece bloqueado.

Nota 2: La bandera TXIF de interrupción de transmisión se pone a uno cuando el bit de habilitación TXEN se pone a uno.

12.1.1.2 Transmitiendo Datos

La transmisión se inicia escribiendo un carácter en el registro TXREG. Si éste es el primer carácter, o el anterior ha salido del Registro de Transmisión (TSR), el dato del registro TXREG es transferido inmediatamente al registro TSR. Si el TSR todavía contiene todo o parte del carácter anterior, el nuevo carácter se mantiene en el registro TXREG hasta que el bit de Stop del carácter anterior se transmite. El carácter pendiente en el registro TXREG se transfiere entonces al TSR en el ciclo T_{CY} siguiente una vez transmitido el bit de Stop. La secuencia de transmisión del bit de Start, los bits de datos y el bit de Stop comienza en el momento en que el dato pasa del registro TXREG al TSR.

12.1.1.3 Bandera de interrupción por Transmisión

La bandera de interrupción por transmisión (bit TXIF del registro PIR1) se pone a uno en el instante en que el EUSART se habilita y no hay ningún carácter pendiente de transmitir en el registro TXREG. En otras palabras, la bandera TXIF se pone a cero solamente cuando el registro TSR está ocupado con un carácter y llega un nuevo carácter a transmitir al registro TXREG. El bit TXIF no se pone a cero inmediatamente después de escribir un dato en el registro TXREG. El bit TXIF espera dos ciclos de instrucción para ponerse a cero después de escribir el dato en el registro. Leer el estado del bit TXIF en la siguiente instrucción después de escribir un dato en TXREG nos devolverá datos erróneos. El bit TXIF es de solo lectura y no puede ser puesto a cero o a uno por software. El bit TXIF se puede habilitar poniendo a uno el bit de habilitación de interrupción TXIE del registro PIE1. Sin embargo, la bandera TXIF se pondrá a uno en el momento en que el registro TXREG esté vacío, independientemente del estado del bit TXIE. Para utilizar interrupciones cuando se transmiten datos hay que poner a uno el bit TXIE, solamente cuando quedan más datos por transmitir y poner a cero el

bit TXIE una vez escrito el último carácter de la transmisión.

12.1.1.4 Estado del TSR

El bit TRMT del registro TXSTA indica el estado del registro TSR. Este bit es de solo lectura. El bit TRMT se pone a uno cuando el registro TSR está vacío y se pone a cero cuando se transfiere un carácter desde el TXREG al TSR. El bit TRMT permanece a cero hasta que todos los bits han salido del TSR. No hay ninguna interrupción asociada a este bit, por lo tanto, el usuario debe consultar el estado del bit para determinar el estado del registro TSR.

Nota: El registro de transmisión (TSR) no está implementado en la memoria de datos y, por lo tanto, no está disponible para el usuario.

12.1.1.5 Transmisión de caracteres de 9 bits

La EUSART permite la transmisión de caracteres de 9 bits. Cuando el bit TX9 del registro TXSTA se pone a uno la EUSART desplazará 9 bits por cada carácter transmitido. El bit TX9D del registro TXSTA es el 9º bit y el más significativo. En este modo de transmisión el bit TX9D se debe escribir antes de escribir los restantes 8 bits en el registro TXREG. Los nueve bits de datos serán transferidos al TSR inmediatamente después de escribir el dato en el registro TXREG. Existe un modo especial de direccionamiento de 9 bits para ser utilizado con múltiples receptores. Ver **Sección 12.1.2.7 “Detección de dirección”** para más información.

12.1.1.6 Configuración de la transmisión Asíncrona:

1. Inicializar los registros SPBRGH y SPBRG y los bits BRGH y BRG16 para conseguir la velocidad de transmisión deseada (ver **Sección 12.3 “Generador de velocidad de transmisión del EUSART (BRG)”**)
2. Habilitar el puerto serie asíncrono poniendo a cero el bit SYNC y a uno el bit SPEN.
3. Si se quiere una transmisión de 9 bits, poner a uno el bit TX9. Un dato de nueve bits indica que los 8 bits de datos menos significativos son una dirección cuando el receptor está configurado en modo detección de dirección “Address detection”.
4. Habilitar la transmisión poniendo a uno el bit de control TXEN. Lo cual provocará la puesta a uno de la bandera de interrupción TXIF.

5. Si se quiere utilizar la interrupción, poner a uno el bit de habilitación de interrupción TXIE en el registro PIE1. Se provocará una interrupción, siempre que el bit GIE y el PEIE del registro INTCON estén también puestos a uno.

6. Si se ha seleccionado el modo de transmisión de 9 bits, el noveno bit debe ser cargado en el bit TX9D.

7. Cargar los ocho bits de datos en el registro TXREG. En este momento comenzará la transmisión.

PIC16F882/883/884/886/887

FIGURA 12-3 TRANSMISIÓN ASÍNCRONA

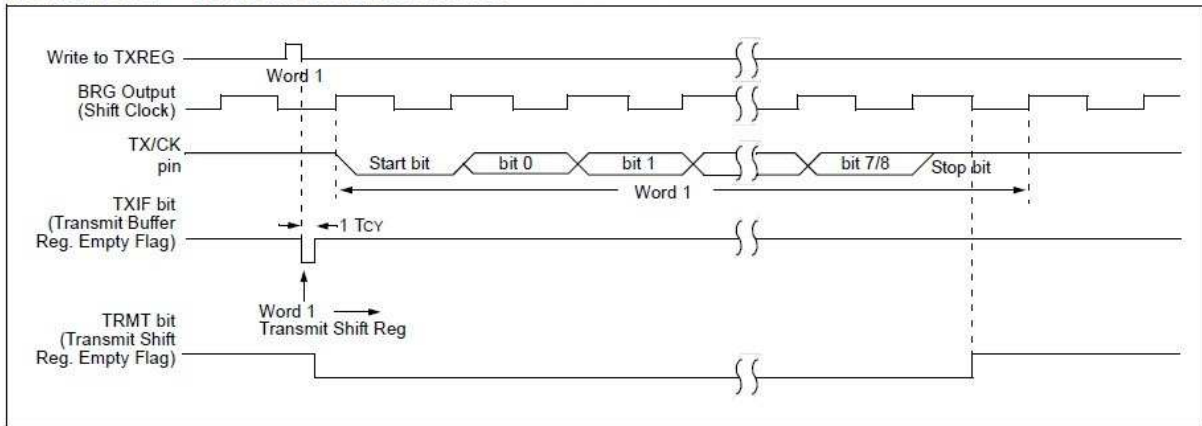


FIGURA 12-4 TRANSMISIÓN ASÍNCRONA (CONSECUTIVA)

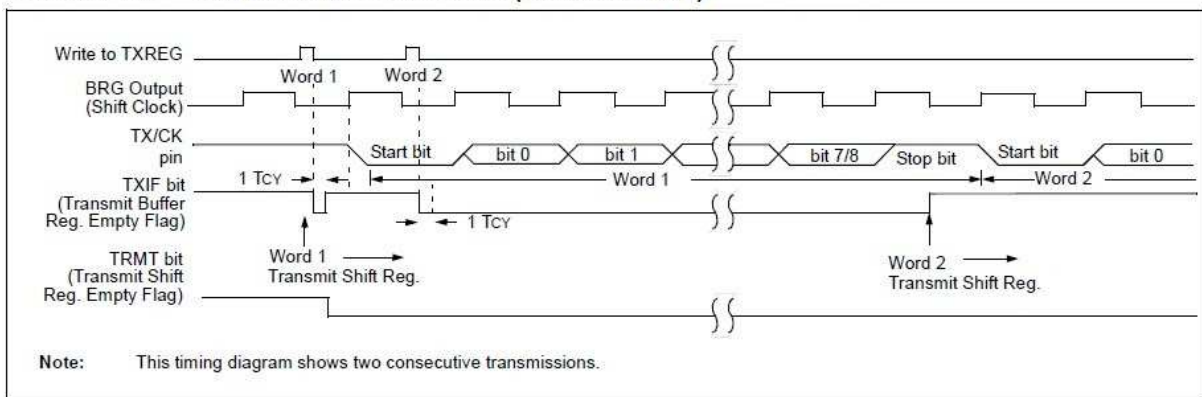


TABLA 12-1 REGISTROS ASOCIADOS A LA TRANSMISIÓN ASÍNCRONA

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART Receive Data Register								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
TXREG	EUSART Transmit Data Register								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SEnDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

Legend: x = unknown, — = unimplemented read as '0'. Shaded cells are not used for Asynchronous Transmission.

12.1.2 EUSART RECEPCIÓN ASÍNCRONA

El modo asíncrono es el más utilizado en sistemas RS-232. El diagrama de bloques del receptor está representado en la figura 12-2. El dato es recibido en el pin RX/DT y transferido al bloque de recuperación de datos (data recovery block). El bloque de recuperación de datos es un desplazador de datos de alta velocidad que opera 16 veces más rápido que la velocidad de transmisión, cualquiera que sea la velocidad a la que opere el registro de desplazamiento del receptor (RSR: Receive Shift Register). Cuando todos los bits 8/9 del carácter recibido se encuentran en el RSR son inmediatamente transferidos a una memoria de dos caracteres FIFO (First In, First Out). El buffer FIFO permite la recepción de dos caracteres completos y el comienzo de un tercero antes de que el software habilite el receptor del EUSART. El FIFO y el registro RSR no son accesibles mediante software. Para acceder al dato recibido hay que leer el registro RCREG.

12.1.2.1 Habilitando el Receptor

El receptor del EUSART se habilita como receptor asíncrono configurando los siguientes bits de control:

- CREN = 1
- SYNC = 0
- SPEN = 1

Los demás bits se supone que permanecen en su estado por defecto. Poner a uno el bit CREN del registro RCSTA habilita el circuito receptor del EUSART. Poniendo a cero el bit SYNC del registro TXSTA configura el EUSART para operaciones asíncronas. Poner a uno el bit SPEN del registro RCSTA habilita el EUSART y configura automáticamente el pin RX/DT como entrada. Si el pin RX/DT se comparte con un periférico analógico la función de entrada analógica debe ser deshabilitada poniendo a cero el bit ANSEL correspondiente.

Nota: Cuando el bit SPEN se pone a uno el pin TX/CK se configura automáticamente como salida, independientemente del estado del bit del registro TRIS correspondiente e independientemente de que el transmisor del EUSART esté habilitado o no. El latch del puerto se desconecta de la salida y no es posible utilizar el pin TX/CK como pin de salida digital.

12.1.2.2 Recibiendo Datos

El circuito de recepción de datos del receptor inicia la recepción del carácter con el flanco de bajada del

primer bit. El primer bit, conocido como “bit de Start” siempre es un cero. El circuito de recuperación de datos cuenta el tiempo de duración de medio bit, hasta la mitad del bit de Start y verifica que el bit continúa a cero. Si no es cero el circuito de recuperación de datos aborta la operación de recepción del carácter, sin generar error, y continúa esperando el flanco de bajada del bit de Start. Si encuentra el nivel bajo del bit de Start entonces el circuito de recuperación de datos cuenta la duración de un bit hasta el punto medio del siguiente bit. El bit es entonces muestreado y su valor ‘0’ o ‘1’ se introduce en el registro RSR. El proceso se repite hasta que todos los bits de datos han sido muestreados e introducidos en el registro RSR. Se muestrea un último valor correspondiente al bit de Stop, que siempre es un ‘1’. Si el circuito de recuperación de datos muestrea un ‘0’ en la posición del bit de Stop se pone a uno el bit de error de formato para el carácter. En caso contrario el bit de error de formato permanece a cero. Ver Sección 12.1.2.4 “Errores de formato en la recepción” para más información sobre errores de formato. Inmediatamente después de todos los bits de datos y el bit de Stop han sido recibidos, el carácter en el RSR se transfiere a la memoria FIFO del EUSART y la bandera de interrupción RCIF del registro PIR1 se pone a uno. El primer carácter de la memoria FIFO se transfiere al leer el registro RCREG.

Nota: Si la memoria FIFO se desborda no se recibirá ningún carácter adicional hasta que termine el desbordamiento. Ver Sección 12.1.2.5 “Errores por desbordamiento en la recepción” para más información sobre errores por desbordamiento.

12.1.2.3 Interrupción en la Recepción

La bandera de interrupción RCIF del registro PIR1 se pone a uno en el momento en que se habilita el receptor del EUSART y hay un carácter no leído en la memoria FIFO de recepción. La bandera de interrupción RCIF es de sólo lectura y no puede ser puesta a cero o a uno por software. Para que se produzca la interrupción hay que poner a uno los siguientes bits:

- RCIE bit de habilitación de interrupción en el registro PIE1
- PEIE bit de habilitación de la interrupción de los periféricos en el registro INTCON
- GIE bit de habilitación global de interrupciones en el registro INTCON

La bandera RCIF se pondrá a uno cuando exista un carácter no leído en la memoria FIFO, independientemente del estado de los bits de habilitación de interrupción anteriores.

12.1.2.4 Errores de Formato en la Recepción

Cada carácter en el buffer FIFO tiene su correspondiente bit de error de formato. Un error de formato indica que un bit de Stop no se ha encontrado cuando se esperaba. El bit de error en el formato es accesible a través del bit FERR del registro RCSTA. El bit FERR representa el estado del último carácter no leído en el buffer FIFO. Por lo tanto, el bit FERR debe ser leído antes de leer el registro RCREG.

El bit FERR es de solo lectura y refleja el estado del último carácter no leído en el buffer FIFO. Un error de formato (FERR=1) no impide la recepción de nuevos caracteres. No es necesario poner a cero el bit FERR. Al leer el siguiente carácter del buffer FIFO el siguiente carácter ocupará su lugar generando el correspondiente bit de error de formato. El bit FERR se puede poner a cero poniendo a cero el bit SPEN del registro RCSTA que provoca un reset de la EUSART. Poner a cero el bit CREN del registro RCSTA no afecta al bit FERR. Un error de formato no genera por si solo una interrupción.

Nota: Si todos los caracteres recibidos en el buffer FIFO tienen errores de formato, lecturas sucesivas del registro RCREG no ponen a cero el bit FERR.

12.1.2.5 Errores de Desbordamiento en la Recepción

El buffer FIFO de recepción puede almacenar dos caracteres. Se generará un error por desbordamiento si un tercer carácter se recibe completamente, antes de que el FIFO sea leído. Cuando esto ocurre el bit OERR del registro RCSTA se pone a uno. Los caracteres que se encuentran en el buffer FIFO se pueden leer pero no se recibirá ningún carácter adicional hasta que no se solucione el error. El error se puede corregir

poniendo a cero el bit CREN del registro RCSTA o bien reseteando el EUSART poniendo a cero el bit SPEN del registro RCSTA.

12.1.2.6 Recepción de caracteres de 9-bits

El modulo EUSART soporta la recepción de datos de 9 bits. Cuando el bit RX9 del registro RCSTA está a uno, el EUSART desplazará 9 bits en el RSR por cada carácter recibido. El bit RX9D del registro RCSTA es el 9º y más significativo bit del primer carácter no leído del buffer FIFO. Cuando se lee un dato de 9 bits del buffer FIFO de recepción, el bit de datos RX9D debe leerse antes de leer los 8 bits menos significativos restantes del registro RCREG.

12.1.2.7 Detección de Dirección

Un modo especial de detección está disponible para usarlo cuando varios receptores comparten la misma línea de transmisión, como por ejemplo en sistemas RS-485. La detección de la dirección se habilita poniendo a uno el bit ADDEN del registro RCSTA.

El modo detección de dirección necesita una recepción de 9 bits. Cuando se habilita la detección de dirección, solamente los caracteres con el noveno bit de datos puesto a uno serán transferidos al buffer FIFO de recepción y pondrán a uno la correspondiente bandera de interrupción RCIF. Todos los demás caracteres serán ignorados.

Cuando se recibe la dirección de un carácter, el programa del usuario debe determinar si la dirección se corresponde con la suya. Si la dirección coincide, el programa de usuario debe deshabilitar la detección de dirección poniendo a cero el bit ADDEN antes de que llegue el siguiente bit de Stop. Cuando el programa detecte el final del mensaje, determinado por el protocolo de mensaje utilizado, el programa debe poner al receptor en modo de detección de dirección nuevamente poniendo a uno el bit ADDEN.

12.1.2.8 Configuración de la Recepción Asíncrona:

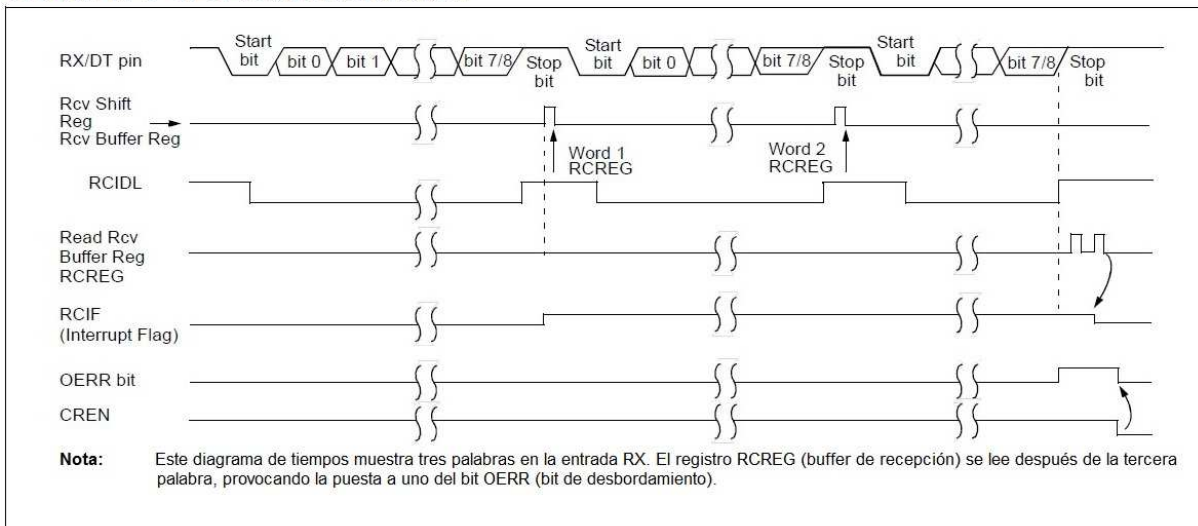
1. Inicializar la pareja de registros SPBRGH, SPBRG y los bits BRGH y BRG16 para conseguir la velocidad de transmisión deseada. (ver **Sección 12.3 “Generador de Velocidad de transmisión del EUSART (BRG)”**).
2. Habilitar el Puerto serie poniendo a uno el bit SPEN. El bit SYNC debe estar a cero para operaciones asíncronas.
3. Si se van a utilizar interrupciones, poner a uno el bit RCIE del registro PIE1 y los bits GIE y PEIE del registro INTCON.
4. Si se quieren recibir datos de 9 bits habilitar el bit RX9.
5. Habilitar la recepción poniendo a uno el bit CREN.
6. La bandera de interrupción RCIF se pondrá a uno cuando un carácter sea transferido desde el RSR al buffer de recepción. Se generará una interrupción si el bit de habilitación de la interrupción RCIE está también a uno.
7. Leer el registro RCSTA para leer las banderas de error y, si está habilitado el modo de recepción de 9 bits, el noveno bit de dato.
8. Leer el registro RCREG para conseguir los restantes 8 bits menos significativos.
9. Si se produce un error por desbordamiento, poner a cero el bit OERR poniendo a cero el bit de habilitación del receptor CREN.

12.1.2.9 Configuración del Modo de Detección Dirección de 9-bits

Este modulo se podría utilizar en sistemas RS-485. Para configurar la recepción asíncrona con la detección de dirección habilitada:

1. Inicializar la pareja de registros SPBRGH y SPBRG y los bits BRGH y BRG16 para conseguir la velocidad de transmisión deseada. (ver **Sección 12.3 “Generador de Velocidad de transmisión del EUSART (BRG)”**).
2. Habilitar el puerto serie poniendo a uno el bit SPEN. El bit SYNC también debe estar a cero para operaciones asíncronas.
3. Si se quiere usar interrupciones, poner a uno el bit RCIE del registro PIE1 y los bits GIE y PEIE del registro INTCON.
4. Habilitar la recepción del noveno bit poniendo a uno el bit RX9.
5. Habilitar la detección de dirección poniendo a uno el bit ADDEN.
6. Habilitar la recepción poniendo a uno el bit CREN.
7. La bandera de interrupción RCIF se pondrá a uno cuando un carácter con el noveno bit a uno sea transferido desde el RSR hasta el buffer de recepción. Se generará una interrupción si el bit de habilitación de la interrupción RCIE esta también puesto a uno.
8. Leer el registro RCSTA para conseguir los bits de error. El noveno bit de datos debe ser siempre uno.
9. Conseguir los restantes 8 bits menos significativos del buffer de recepción leyendo el registro RCREG. El programa debe determinar si se trata de la dirección de un dispositivo.
10. Si se produce un error por desbordamiento, poner a cero el bit OERR poniendo a cero el bit CREN de habilitación del receptor.
11. Si el dispositivo está direccionado, poner a cero el bit ADDEN para permitir que los datos pasen al buffer de recepción y se genere la interrupción.

FIGURA 12-5 RECEPCIÓN ASÍNCRONA



PIC16F882/883/884/886/887

TABLA 12-2 REGISTROS ASOCIADOS A LA RECEPCIÓN ASÍNCRONA

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART Receive Data Register								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
TXREG	EUSART Transmit Data Register								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SEnDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

Leyenda: x = desconocido, - = no implementado, se lee como '0'. Las celdas sombreadas no se utilizan en la Recepción Asíncrona

12.2 Precisión del Reloj en Operaciones Asíncronas

La salida del bloque del Oscilador Interno (INTOSC) viene calibrada de fábrica. Sin embargo, la frecuencia del Oscilador Interno puede desviarse debido a cambios en VDD o en la temperatura, y esto afecta directamente al reloj del generador de velocidad de transmisión. Se pueden utilizar dos métodos para ajustar el reloj del generador de velocidad de transmisión, pero los dos requieren una señal de reloj de referencia de alguna clase.

El primer método (recomendado) utiliza el registro OSCTUNE para ajustar la salida INTOSC. Ajustando el valor del registro OSCTUNE permite obtener resoluciones precisas, con cambios en la fuente de reloj interna. Ver **Sección 4.5 “Modos del Reloj Interno”** para más información.

El otro método consiste en ajustar el valor en el Generador de Velocidad de Transmisión (BRG). Esto se hace automáticamente con la característica de Auto Detección de la Velocidad (ver **Sección 12.3.1 “Autodetección de la Velocidad”**). Este método puede no ser demasiado preciso cuando se quiere ajustar el BRG para compensar un cambio gradual en la frecuencia de reloj del periférico.

REGISTRO 12-1: TXSTA: REGISTRO DE CONTROL Y ESTADO DE LA TRANSMISIÓN

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-1	R/W-0
CSRC	TX9	TXEN ⁽¹⁾	SYNC	SENDB	BRGH	TRMT	TX9D
bit 7						bit 0	

Legend:

R = Readable bit
-n = Value at POR

W = Writable bit
'1' = Bit is set

U = Unimplemented bit, read as '0'
'0' = Bit is cleared
x = Bit is unknown

bit 7	<p>CSRC: Clock Source Select bit <u>Asynchronous mode:</u> Don't care <u>Synchronous mode:</u> 1 = Master mode (clock generated internally from BRG) 0 = Slave mode (clock from external source)</p>
bit 6	<p>TX9: 9-bit Transmit Enable bit 1 = Selects 9-bit transmission 0 = Selects 8-bit transmission</p>
bit 5	<p>TXEN: Transmit Enable bit⁽¹⁾ 1 = Transmit enabled 0 = Transmit disabled</p>
bit 4	<p>SYNC: EUSART Mode Select bit 1 = Synchronous mode 0 = Asynchronous mode</p>
bit 3	<p>SENDB: Send Break Character bit <u>Asynchronous mode:</u> 1 = Send Sync Break on next transmission (cleared by hardware upon completion) 0 = Sync Break transmission completed <u>Synchronous mode:</u> Don't care</p>
bit 2	<p>BRGH: High Baud Rate Select bit <u>Asynchronous mode:</u> 1 = High speed 0 = Low speed <u>Synchronous mode:</u> Unused in this mode</p>
bit 1	<p>TRMT: Transmit Shift Register Status bit 1 = TSR empty 0 = TSR full</p>
bit 0	<p>TX9D: Ninth bit of Transmit Data Can be address/data bit or a parity bit.</p>

Note 1: SREN/CREN overrides TXEN in Sync mode.

PIC16F882/883/884/886/887

REGISTRO 12-2 RCSTA: REGISTRO DE CONTROL Y ESTADO DE LA RECEPCIÓN

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit 7							bit 0

Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared
		x = Bit is unknown

bit 7	<p>SPEN: Serial Port Enable bit</p> <p>1 = Serial port enabled (configures RX/DT and TX/CK pins as serial port pins)</p> <p>0 = Serial port disabled (held in Reset)</p>
bit 6	<p>RX9: 9-bit Receive Enable bit</p> <p>1 = Selects 9-bit reception</p> <p>0 = Selects 8-bit reception</p>
bit 5	<p>SREN: Single Receive Enable bit</p> <p><u>Asynchronous mode:</u></p> <p>Don't care</p> <p><u>Synchronous mode – Master:</u></p> <p>1 = Enables single receive</p> <p>0 = Disables single receive</p> <p>This bit is cleared after reception is complete.</p> <p><u>Synchronous mode – Slave</u></p> <p>Don't care</p>
bit 4	<p>CREN: Continuous Receive Enable bit</p> <p><u>Asynchronous mode:</u></p> <p>1 = Enables receiver</p> <p>0 = Disables receiver</p> <p><u>Synchronous mode:</u></p> <p>1 = Enables continuous receive until enable bit CREN is cleared (CREN overrides SREN)</p> <p>0 = Disables continuous receive</p>
bit 3	<p>ADDEN: Address Detect Enable bit</p> <p><u>Asynchronous mode 9-bit (RX9 = 1):</u></p> <p>1 = Enables address detection, enable interrupt and load the receive buffer when RSR<8> is set</p> <p>0 = Disables address detection, all bytes are received and ninth bit can be used as parity bit</p> <p><u>Asynchronous mode 8-bit (RX9 = 0):</u></p> <p>Don't care</p>
bit 2	<p>FERR: Framing Error bit</p> <p>1 = Framing error (can be updated by reading RCREG register and receive next valid byte)</p> <p>0 = No framing error</p>
bit 1	<p>OERR: Overrun Error bit</p> <p>1 = Overrun error (can be cleared by clearing bit CREN)</p> <p>0 = No overrun error</p>
bit 0	<p>RX9D: Ninth bit of Received Data</p> <p>This can be address/data bit or a parity bit and must be calculated by user firmware.</p>

PIC16F882/883/884/886/887

REGISTRO 12-3 BAUDCTL: REGISTRO DE CONTROL DE LA VELOCIDAD DE TRANSMISIÓN

R-0	R-1	U-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN
bit 7							bit 0

Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

bit 7	<p>ABDOVF: Auto-Baud Detect Overflow bit</p> <p><u>Asynchronous mode:</u></p> <p>1 = Auto-baud timer overflowed</p> <p>0 = Auto-baud timer did not overflow</p> <p><u>Synchronous mode:</u></p> <p>Don't care</p>
bit 6	<p>RCIDL: Receive Idle Flag bit</p> <p><u>Asynchronous mode:</u></p> <p>1 = Receiver is Idle</p> <p>0 = Start bit has been received and the receiver is receiving</p> <p><u>Synchronous mode:</u></p> <p>Don't care</p>
bit 5	<p>Unimplemented: Read as '0'</p>
bit 4	<p>SCKP: Synchronous Clock Polarity Select bit</p> <p><u>Asynchronous mode:</u></p> <p>1 = Transmit inverted data to the RB7/TX/CK pin</p> <p>0 = Transmit non-inverted data to the RB7/TX/CK pin</p> <p><u>Synchronous mode:</u></p> <p>1 = Data is clocked on rising edge of the clock</p> <p>0 = Data is clocked on falling edge of the clock</p>
bit 3	<p>BRG16: 16-bit Baud Rate Generator bit</p> <p>1 = 16-bit Baud Rate Generator is used</p> <p>0 = 8-bit Baud Rate Generator is used</p>
bit 2	<p>Unimplemented: Read as '0'</p>
bit 1	<p>WUE: Wake-up Enable bit</p> <p><u>Asynchronous mode:</u></p> <p>1 = Receiver is waiting for a falling edge. No character will be received byte RCIF will be set. WUE will automatically clear after RCIF is set.</p> <p>0 = Receiver is operating normally</p> <p><u>Synchronous mode:</u></p> <p>Don't care</p>
bit 0	<p>ABDEN: Auto-Baud Detect Enable bit</p> <p><u>Asynchronous mode:</u></p> <p>1 = Auto-Baud Detect mode is enabled (clears when auto-baud is complete)</p> <p>0 = Auto-Baud Detect mode is disabled</p> <p><u>Synchronous mode:</u></p> <p>Don't care</p>

12.3 Generador de velocidad de transmisión (BRG) del EUSART

El generador de velocidad de transmisión (BRG) es un temporizador de 8 o 16 bits que trabaja junto con el módulo EUSART en operaciones síncronas y asíncronas. Por defecto, el BRG trabaja en modo de 8 bits. Poniendo a uno el bit BRG16 del registro BAUDCTL se selecciona el modo de 16 bits.

La pareja de registros SPBRGH, SPBRG determinan el periodo de funcionamiento del temporizador responsable de generar la velocidad de transmisión. En modo asíncrono el multiplicador del periodo de la velocidad de transmisión se fija mediante el bit BRGH del registro TXSTA y el bit BRG16 del registro BAUDCTL. En modo síncrono el bit BRGH es ignorado.

La tabla 12-3 contiene las fórmulas para determinar la velocidad de transmisión. El ejemplo 12-1 muestra un ejemplo de cálculo para determinar la velocidad de transmisión y su error. Valores típicos de velocidades de transmisión y los valores de error se muestran en la tabla 12-3. Puede ser una ventaja utilizar altas velocidades de transmisión (BRGH=1), o utilizar el BRG en modo de 16 bits (BRG16=1) para reducir el error en la generación de la velocidad de transmisión. El modo de 16 bits se utiliza para conseguir bajas velocidades de transmisión para altos valores de frecuencia del oscilador.

Escribir un nuevo valor en la pareja de registros SPBRGH, SPBRG provoca el "reseteo" (puesta a cero) del generador de velocidad de transmisión (BRG). Esto asegura que el BRG no espere al desbordamiento del temporizador antes de cambiar a la nueva velocidad de transmisión. Si el reloj del sistema se cambia durante una operación de recepción, se produce un error en la recepción o

una pérdida de datos. Para evitarlo, hay que comprobar el estado del bit RCIDL para asegurarse de que la operación de recepción ha finalizado, antes de cambiar el reloj del sistema.

EJEMPLO 12-1 ERROR EN EL CALCULO DE LA VELOCIDAD DE TRANSMISIÓN

For a device with F_{OSC} of 16 MHz, desired baud rate of 9600, Asynchronous mode, 8-bit BRG:

$$Desired\ Baud\ Rate = \frac{F_{OSC}}{64([SPBRGH:SPBRG] + 1)}$$

Solving for SPBRGH:SPBRG:

$$X = \frac{F_{OSC}}{Desired\ Baud\ Rate} - 1$$

$$= \frac{16000000}{9600} - 1$$

$$= [25.042] = 25$$

$$Calculated\ Baud\ Rate = \frac{16000000}{64(25 + 1)}$$

$$= 9615$$

$$Error = \frac{Calc.\ Baud\ Rate - Desired\ Baud\ Rate}{Desired\ Baud\ Rate}$$

$$= \frac{(9615 - 9600)}{9600} = 0.16\%$$

12-3: FORMULAS DE LA VELOCIDAD DE TRANSMISIÓN

Configuration Bits			BRG/EUSART Mode	Baud Rate Formula
SYNC	BRG16	BRGH		
0	0	0	8-bit/Asynchronous	$F_{OSC}/[64(n+1)]$
0	0	1	8-bit/Asynchronous	$F_{OSC}/[16(n+1)]$
0	1	0	16-bit/Asynchronous	$F_{OSC}/[4(n+1)]$
0	1	1	16-bit/Asynchronous	
1	0	x	8-bit/Synchronous	
1	1	x	16-bit/Synchronous	

Legend: x = Don't care, n = value of SPBRGH, SPBRG register pair

12-4: REGISTROS ASOCIADOS AL GENERADOR DE VELOCIDAD DE TRANSMISIÓN

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

Leyenda: x = unknown, - = unimplemented read as '0'. Shaded cells are not used for the Baud Rate Generator.

PIC16F882/883/884/886/887

TABLA 12-5: VELOCIDADES DE TRANSMISIÓN EN MODO ASÍNCRONO

BAUD RATE	SYNC = 0, BRGH = 0, BRG16 = 0											
	Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz			Fosc = 8.000 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	—	—	—	—	—	—	—	—	—	—	—	—
1200	1221	1.73	255	1200	0.00	239	1200	0.00	143	1202	0.16	103
2400	2404	0.16	129	2400	0.00	119	2400	0.00	71	2404	0.16	51
9600	9470	-1.36	32	9600	0.00	29	9600	0.00	17	9615	0.16	12
10417	10417	0.00	29	10286	-1.26	27	10165	-2.42	16	10417	0.00	11
19.2k	19.53k	1.73	15	19.20k	0.00	14	19.20k	0.00	8	—	—	—
57.6k	—	—	—	57.60k	0.00	7	57.60k	0.00	2	—	—	—
115.2k	—	—	—	—	—	—	—	—	—	—	—	—

BAUD RATE	SYNC = 0, BRGH = 0, BRG16 = 0											
	Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	300	0.16	207	300	0.00	191	300	0.16	103	300	0.16	51
1200	1202	0.16	51	1200	0.00	47	1202	0.16	25	1202	0.16	12
2400	2404	0.16	25	2400	0.00	23	2404	0.16	12	—	—	—
9600	—	—	—	9600	0.00	5	—	—	—	—	—	—
10417	10417	0.00	5	—	—	—	10417	0.00	2	—	—	—
19.2k	—	—	—	19.20k	0.00	2	—	—	—	—	—	—
57.6k	—	—	—	57.60k	0.00	0	—	—	—	—	—	—
115.2k	—	—	—	—	—	—	—	—	—	—	—	—

BAUD RATE	SYNC = 0, BRGH = 1, BRG16 = 0											
	Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz			Fosc = 8.000 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	—	—	—	—	—	—	—	—	—	—	—	—
1200	—	—	—	—	—	—	—	—	—	—	—	—
2400	—	—	—	—	—	—	—	—	—	2404	0.16	207
9600	9615	0.16	129	9600	0.00	119	9600	0.00	71	9615	0.16	51
10417	10417	0.00	119	10378	-0.37	110	10473	0.53	65	10417	0.00	47
19.2k	19.23k	0.16	64	19.20k	0.00	59	19.20k	0.00	35	19231	0.16	25
57.6k	56.82k	-1.36	21	57.60k	0.00	19	57.60k	0.00	11	55556	-3.55	8
115.2k	113.64k	-1.36	10	115.2k	0.00	9	115.2k	0.00	5	—	—	—

PIC16F882/883/884/886/887

TABLA 12-5: VELOCIDADES DE TRANSMISIÓN EN MODO ASÍNCRONO (CONTINUACIÓN)

BAUD RATE	SYNC = 0, BRGH = 1, BRG16 = 0											
	Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	—	—	—	—	—	—	—	—	—	300	0.16	207
1200	1202	0.16	207	1200	0.00	191	1202	0.16	103	1202	0.16	51
2400	2404	0.16	103	2400	0.00	95	2404	0.16	51	2404	0.16	25
9600	9615	0.16	25	9600	0.00	23	9615	0.16	12	—	—	—
10417	10417	0.00	23	10473	0.53	21	10417	0.00	11	10417	0.00	5
19.2k	19.23k	0.16	12	19.2k	0.00	11	—	—	—	—	—	—
57.6k	—	—	—	57.60k	0.00	3	—	—	—	—	—	—
115.2k	—	—	—	115.2k	0.00	1	—	—	—	—	—	—

BAUD RATE	SYNC = 0, BRGH = 0, BRG16 = 1											
	Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz			Fosc = 8.000 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	300.0	-0.01	4166	300.0	0.00	3839	300.0	0.00	2303	299.9	-0.02	1666
1200	1200	-0.03	1041	1200	0.00	959	1200	0.00	575	1199	-0.08	416
2400	2399	-0.03	520	2400	0.00	479	2400	0.00	287	2404	0.16	207
9600	9615	0.16	129	9600	0.00	119	9600	0.00	71	9615	0.16	51
10417	10417	0.00	119	10378	-0.37	110	10473	0.53	65	10417	0.00	47
19.2k	19.23k	0.16	64	19.20k	0.00	59	19.20k	0.00	35	19.23k	0.16	25
57.6k	56.818	-1.36	21	57.60k	0.00	19	57.60k	0.00	11	55556	-3.55	8
115.2k	113.636	-1.36	10	115.2k	0.00	9	115.2k	0.00	5	—	—	—

BAUD RATE	SYNC = 0, BRGH = 0, BRG16 = 1											
	Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	300.1	0.04	832	300.0	0.00	767	299.8	-0.108	416	300.5	0.16	207
1200	1202	0.16	207	1200	0.00	191	1202	0.16	103	1202	0.16	51
2400	2404	0.16	103	2400	0.00	95	2404	0.16	51	2404	0.16	25
9600	9615	0.16	25	9600	0.00	23	9615	0.16	12	—	—	—
10417	10417	0.00	23	10473	0.53	21	10417	0.00	11	10417	0.00	5
19.2k	19.23k	0.16	12	19.20k	0.00	11	—	—	—	—	—	—
57.6k	—	—	—	57.60k	0.00	3	—	—	—	—	—	—
115.2k	—	—	—	115.2k	0.00	1	—	—	—	—	—	—

PIC16F882/883/884/886/887

TABLA 12-5: VELOCIDADES DE TRANSMISIÓN EN MODO ASÍNCRONO (CONTINUACIÓN)

BAUD RATE	SYNC = 0, BRGH = 1, BRG16 = 1 or SYNC = 1, BRG16 = 1											
	Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz			Fosc = 8.000 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	300.0	0.00	16665	300.0	0.00	15359	300.0	0.00	9215	300.0	0.00	6666
1200	1200	-0.01	4166	1200	0.00	3839	1200	0.00	2303	1200	-0.02	1666
2400	2400	0.02	2082	2400	0.00	1919	2400	0.00	1151	2401	0.04	832
9600	9597	-0.03	520	9600	0.00	479	9600	0.00	287	9615	0.16	207
10417	10417	0.00	479	10425	0.08	441	10433	0.16	264	10417	0	191
19.2k	19.23k	0.16	259	19.20k	0.00	239	19.20k	0.00	143	19.23k	0.16	103
57.6k	57.47k	-0.22	86	57.60k	0.00	79	57.60k	0.00	47	57.14k	-0.79	34
115.2k	116.3k	0.94	42	115.2k	0.00	39	115.2k	0.00	23	117.6k	2.12	16

BAUD RATE	SYNC = 0, BRGH = 1, BRG16 = 1 or SYNC = 1, BRG16 = 1											
	Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	300.0	0.01	3332	300.0	0.00	3071	299.9	-0.02	1666	300.1	0.04	832
1200	1200	0.04	832	1200	0.00	767	1199	-0.08	416	1202	0.16	207
2400	2398	0.08	416	2400	0.00	383	2404	0.16	207	2404	0.16	103
9600	9615	0.16	103	9600	0.00	95	9615	0.16	51	9615	0.16	25
10417	10417	0.00	95	10473	0.53	87	10417	0.00	47	10417	0.00	23
19.2k	19.23k	0.16	51	19.20k	0.00	47	19.23k	0.16	25	19.23k	0.16	12
57.6k	58.82k	2.12	16	57.60k	0.00	15	55.56k	-3.55	8	—	—	—
115.2k	111.1k	-3.55	8	115.2k	0.00	7	—	—	—	—	—	—

12.3.1 DETECCIÓN AUTOMÁTICA DE LA VELOCIDAD

El modulo EUSART permite la detección y calibración automática de la velocidad.

En el modo de auto detección de la velocidad "Auto Baud Detect" (ABD), la señal de reloj se invierte. En lugar de generar el BRG la señal para la recepción de datos "RX", la señal de datos "RX" sirve como señal de reloj al BRG. El generador de señal de transmisión se utiliza para medir el periodo de un carácter 55h (ASCII "U"), que se utiliza como carácter de sincronismo para el bus LIN. La única característica de este carácter es que está compuesto por cinco flancos de subida, incluyendo el flanco de subida del bit de Stop.

La puesta a uno del bit ABDEN del registro BAUDCTL inicia la secuencia de auto-calibración (ABD) (Figura 12-6). Mientras dura la secuencia (ABD) el módulo EUSART permanece en estado de espera. Con el primer flanco de subida en la línea de recepción, después del bit de Start, el registro SPBRG comienza a contar utilizando la señal de reloj del BRG como se indica en la Tabla 12-6. El quinto flanco de subida ocurrirá en el pin de recepción "RX" al final del periodo del octavo bit. En ese momento, el valor acumulado conteniendo el valor apropiado del periodo de la velocidad de transmisión, es guardado en la pareja de registros SPBRGH, SPBRG, el bit ABDEN se pone a cero de forma automática y la bandera de interrupción RCIF se pone a uno. El valor en RCREG necesita ser leído para poner a cero la bandera de interrupción RCIF. El contenido del RCREG se debe descartar. Cuando se calibran modos que no usan el registro SPBRGH el usuario puede verificar que el registro SPBRG no se desborda comprobando que no se alcanza el valor 00h en el registro SPBRGH.

El reloj del BRG se determina mediante los bits BRG16 y BRGH como indica la Tabla 12-6. Durante la secuencia (ABD), los dos registros SPBRGH y SPBRG son utilizados como contadores de 16 bits, independientemente del valor del bit BRG16.

Mientras se calibra el periodo de la velocidad de transmisión, la pareja de registros SPBRGH y SPBRG se alimentan con una frecuencia de 1/8 de la frecuencia de reloj del BRG. El resultado de la medida del byte constituye la duración media de un bit cuando se alimenta a máxima velocidad.

Nota 1: Si el bit WUE está a uno junto con el bit ABDEN, la detección de la velocidad de transmisión ocurrirá durante el siguiente byte después de recibir el carácter "Break" (Ver **Sección 12.3.2 "Auto-Despertar con el carácter Break"**).

2: Se deja a criterio del usuario determinar si el carácter entrante que configura la velocidad está dentro del rango de valores seleccionados por el reloj del BRG. Algunas combinaciones de frecuencia del oscilador y velocidad de transmisión del EUSART no son posibles.

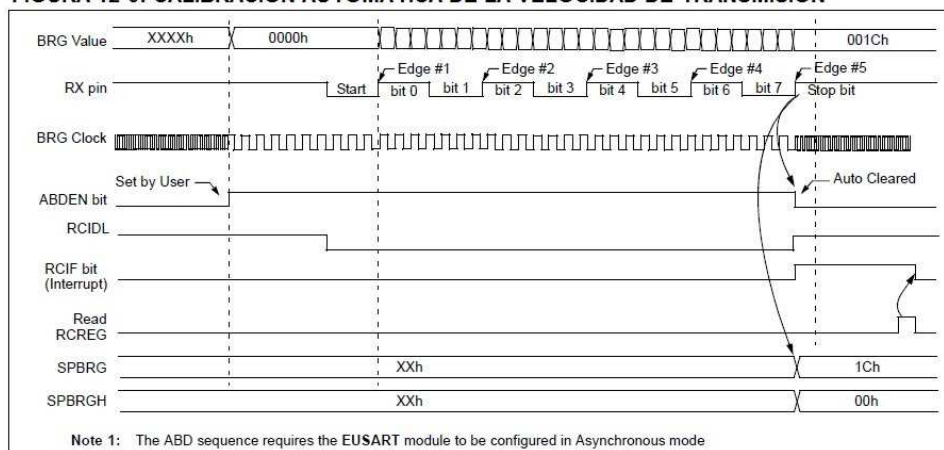
3: Durante el proceso de auto detección, el contador comienza a contar desde 1. Una vez finalizada la secuencia de auto detección de la velocidad, para conseguir la máxima precisión, hay que restar 1 del valor contenido en la pareja de registros SPBRGH:SPBRG.

TABLA 12-6 FRECUENCIAS DE RELOJ DEL GENERADOR BRG

BRG16	BRGH	BRG Base Clock	BRG ABD Clock
0	0	Fosc/64	Fosc/512
0	1	Fosc/16	Fosc/128
1	0	Fosc/16	Fosc/128
1	1	Fosc/4	Fosc/32

Nota: Durante la secuencia de Auto Detección de la velocidad, los registros SPBRG:SPBRGH se utilizan ambos como contadores de 16 bits, independientemente del valor del bit BRG16.

FIGURA 12-6: CALIBRACIÓN AUTOMÁTICA DE LA VELOCIDAD DE TRANSMISIÓN



12.3.2 AUTO-DESPERTAR CON EL CARACTER "BREAK"

Durante el modo dormido "Sleep mode", todos los pulsos hacia el EUSART se suspenden. Por este motivo, el generador de velocidad de transmisión (BRG) permanece inactivo y no es capaz de recibir ningún carácter. La característica de Auto-despertar permite al controlador "despertar" cuando existe actividad en la línea RX/DT. Esta característica está disponible solo en modo Asíncrono. La característica de Auto-despertar se habilita poniendo a uno el bit WUE del registro BAUDCTL. Una vez puesto a uno este bit la secuencia normal de recepción de la línea RX/DT se deshabilita, y el EUSART permanece en estado de espera "idle", esperando el evento para despertar la CPU, independientemente del estado en que se encuentre ésta. El evento que "despierta" la CPU consiste en una transición alto-bajo en la línea RX/DT. (Esto coincide con comienzo de un carácter "Break" de sincronismo, o un carácter de despertar para el protocolo LIN). El módulo EUSART genera una interrupción (RCIF=1) cuando se produce este evento. La interrupción se genera de forma sincronizada con la señal de reloj "Q" en funcionamiento normal de la CPU (Figura 12-7), y de forma desincronizada si el dispositivo se encuentra en modo "Sleep" (Figura 12-8). La condición de interrupción se borra leyendo el registro RCREG. El bit WUE se pone a cero de forma automática cuando se produce la transición de bajo-alto en la línea RX al final del carácter "Break". Esto indica al usuario que el evento de Auto-despertar ha terminado. En este momento, el módulo EUSART permanece en modo "idle" esperando recibir el siguiente carácter.

12.3.2.1 Consideraciones Especiales

Carácter "Break"

Para prevenir errores de carácter o fragmentos de carácter durante el evento de Auto-despertar, el carácter de Auto-despertar debe consistir en todo ceros. Cuando el Auto-despertar está habilitado esta característica funciona, independientemente de la duración del nivel bajo del flujo de datos. Si el bit WUE está puesto a uno y se recibe un carácter válido (no nulo), el nivel bajo desde el bit de Start hasta el primer flanco de subida se interpretará como el evento de Auto-despertar. Los restantes bits del carácter se recibirán como un carácter fragmentado y los caracteres siguientes provocarán errores de formato o de desbordamiento.

Por lo tanto, el carácter inicial en la transmisión debe ser "todo ceros". De una duración de 10 o más veces la duración de un bit, se recomiendan 13 veces para el bus LIN, o cualquier número para dispositivos RS-232.

Tiempo de arranque del Oscilador

El tiempo de arranque del oscilador "Start-up time", se debe tener en cuenta, especialmente en aplicaciones que utilizan osciladores con tiempos altos de arranque (p.ej, LP, XT o HS/PLL). La señal de despertar "wake-up signal" debe ser un carácter lo suficientemente largo, y estar seguido por un intervalo suficiente, para permitir al

Bit WUE

El evento de despertar "wake-up event" provoca una interrupción al poner a uno el bit RCIF. El bit WUE se pone a cero por hardware con la llegada de un flanco de subida en el pin RX/DT. En este momento, la condición de interrupción se borra por software al leer el registro RCREG y descartando su contenido.

Para garantizar que no se pierde ningún dato, comprobar el bit RCIDL, para verificar que no se encuentra en una operación de recepción, antes de poner a uno el bit WUE. Si no se encuentra en una operación de recepción, el bit WUE puede ser puesto a uno, justo antes de entrar en modo dormido "Sleep mode".

FIGURA 12-7 Bit de Auto-despertar (WUE) SINCRONISMO EN OPERACIÓN NORMAL

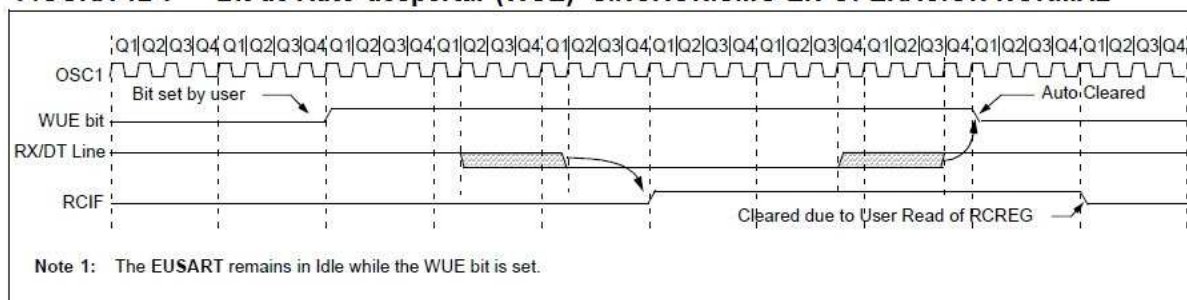
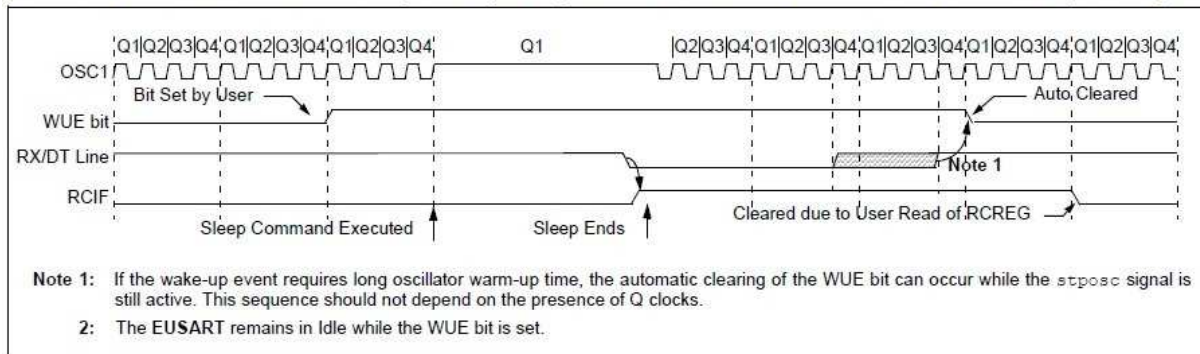


FIGURA 12-8 Bit de Auto-despertar (WUE) SINCRONISMO EN MODO DORMIDO (SLEEP)



12.3.3 SECUENCIA DEL CARÁCTER “BREAK”

El módulo EUSART tiene la capacidad de enviar una secuencia de caracteres especiales “Break” que son requeridos por el estándar del bus LIN. Una carácter Break consiste en un bit de Start, seguido de 12 bits ‘0’ y un bit de Stop.

Para enviar un carácter Break, poner a uno los bits SENDB y TXEN del registro TXSTA. La transmisión del carácter Break se inicia al escribir en el registro TXREG. El valor del dato escrito en el registro será ignorado y todos los ‘0’ serán transmitidos.

El bit SENDB se pone a cero automáticamente por hardware después de enviar el bit de Stop. Esto permite al usuario precargar el buffer FIFO de transmisión con el siguiente byte a transmitir después del carácter Break (normalmente, el carácter “Sync” en la especificación del bus LIN)

El bit TRMT del registro TXSTA indica cuando la operación de transmisión está activa o en estado de espera “idle”, de la misma forma que lo hace en el modo normal de transmisión. Ver Figura 12-9 para más información sobre la secuencia del envío del carácter Break.

12.3.3.1 Secuencia de transmisión de los caracteres “Break” y “Sync”

La siguiente secuencia inicia una cabecera de trama de mensaje consistente en un carácter Break, seguido de un byte de sincronismo “auto-baud Sync byte”. Esta secuencia es típica de los sistemas master en bus LIN.

1. Configurar el módulo EUSART en el modo deseado.
2. Poner a uno los bits TXEN y SENDB para habilitar la secuencia Break.
3. Cargar el registro TXREG con un carácter cualquiera para iniciar la transmisión (este valor será ignorado).

4. Escribir el dato ‘55’ en el registro TXREG para cargar el carácter de sincronismo “Sync” en el buffer FIFO de transmisión.

5. Después de enviar el carácter Break, el bit SENDB se pone a cero por hardware y se transmite el carácter “Sync”.

Cuando el registro TXREG se queda vacío, como indica el bit TXIF, el siguiente byte de datos puede ser escrito en el registro TXREG.

12.3.4 RECIBIENDO EL CARÁCTER “BREAK”

El módulo EUSART mejorado puede recibir el carácter Break de dos maneras.

El primer método para detectar un carácter Break utiliza el bit FERR del registro RCSTA y el dato recibido almacenado en el registro RCREG. El generador de velocidad de transmisión BRG tiene que haber sido configurado para la velocidad de transmisión deseada.

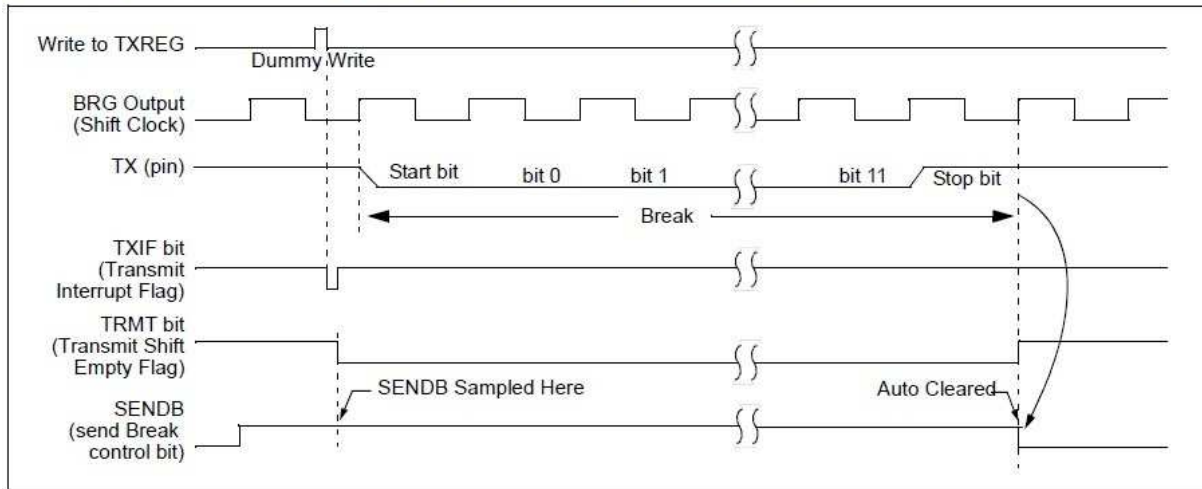
Un carácter Break se recibe cuando;

- El bit RCIF se pone a uno
- El bit FERR se pone a uno
- RCREG = 00h

El segundo método utiliza la característica de Auto despertar descrita en la **Sección 12.3.2 “Auto despertar con el carácter Break”**. Habilitando esta característica, el EUSART muestrea las dos transiciones siguientes en RX/DT, provoca la interrupción en RCIF, y recibe el siguiente byte de datos seguido de otra interrupción.

Tener en cuenta que siguiendo al carácter Break, el usuario normalmente querrá habilitar la característica de Auto despertar. Para ambos métodos, el usuario puede poner a uno el bit ABDEN del registro BAUDCTL antes de poner el EUSART en modo dormido “Sleep mode”.

FIGURA 12-9 SECUENCIA DE ENVÍO DEL CARÁCTER "BREAK"



12.4 EUSART en Modo Síncrono

Las comunicaciones series síncronas se utilizan típicamente en sistemas con un único dispositivo maestro "master" y uno o varios dispositivos esclavos "slaves". El dispositivo maestro contiene la circuitería necesaria para generar la velocidad de transmisión y suministrar la señal de reloj a todos los dispositivos del sistema. Los dispositivos esclavos pueden aprovechar la señal de reloj del dispositivo maestro y eliminar su circuito interno de generación de la señal de reloj.

Hay dos líneas de señal de reloj en modo Síncrono: una línea bidireccional de datos y una línea con la señal de reloj. Los dispositivos esclavos utilizan la señal de reloj externa suministrada por el maestro para desplazar en serie los datos dentro y fuera de sus respectivos registros de desplazamiento de recepción y transmisión. Como la línea de datos es bidireccional, las operaciones síncronas son "half-duplex". "Half duplex" significa que los dispositivos maestro y el esclavo pueden transmitir y recibir datos, pero no los dos de forma simultánea. El módulo EUSART puede operar como dispositivo maestro o esclavo.

Los bits de Start y Stop no se utilizan en transmisiones síncronas.

12.4.1 MODO SÍNCRONO MAESTRO

Los siguientes bits se utilizan para configurar el EUSART para operaciones en modo Síncrono Maestro:

- SYNC = 1
- CSRC = 1
- SREN = 0 (para tx); SREN = 1 (para rx)
- CREN = 0 (para tx); CREN = 1 (para rx)
- SPEN = 1

Poner el bit SYNC del registro TXSTA configure el dispositivo para operaciones síncronas. Poner a uno el bit CSRC del registro TXSTA configura el dispositivo como maestro. Poner a cero el bit SREN y el CREN del registro RCSTA configura el dispositivo en modo de Transmisión, de otra forma el dispositivo se configura como receptor. Poner a uno el bit SPEN del registro RCSTA habilita el EUSART. Si los pines RX/DT o TX/CK están compartidos con un periférico analógico, las funciones de E/S deben deshabilitarse poniendo a cero los bits ANSEL correspondientes

12.4.1.1 Reloj Maestro

Las transferencias de datos síncronas utilizan una línea separada de reloj, la cual está en sincronismo con los datos. Un dispositivo configurado como maestro transmite la señal de reloj por la línea TX/CK. El "driver" de salida del pin TX/CK se habilita automáticamente cuando el EUSART se configura en modo síncrono. Los bits de datos en serie cambian con el primer flanco para asegurar que son válidos con el flanco final de cada señal de reloj. Se genera un ciclo de reloj para cada bit de

datos. Se generan, tantos ciclos de reloj, como bits de datos existan.

12.4.1.2 Polaridad del Reloj

Se proporciona una opción de polaridad del reloj para ofrecer compatibilidad con "Microwire". La polaridad del reloj se selecciona con el bit SCKP del registro BAUDCTL. Poner a uno el bit SCKP configura el estado de reposo del reloj a nivel alto. Cuando el bit SCKP se pone a uno, los datos cambian con el flanco de bajada de la señal de reloj. Poner a cero el bit SCKP configura el estado de reposo a nivel bajo. Cuando el bit SCKP se pone a cero, los datos cambian con el flanco de subida de la señal de reloj.

12.4.1.3 Transmisión Síncrona Modo Maestro

Los datos son transferidos fuera del dispositivo por el pin RX/DT. Los "drivers" de salida de los pines RX/DT y TX/CK se habilitan automáticamente cuando el EUSART se configura para operaciones de transmisión síncronas.

La transmisión comienza al escribir un carácter en el registro TXREG. Si el TSR todavía contiene todo o parte de un carácter anterior, el nuevo carácter se mantiene en el registro TXREG hasta que se transmite el último bit del carácter anterior. Si se trata del primer carácter, o el carácter anterior ha sido transmitido completamente por el TSR, el dato del registro TXREG se transmite inmediatamente al TSR.

La transmisión del carácter comienza inmediatamente, una vez que el dato es transferido del registro TXREG al TSR.

Cada bit de datos cambia con el primer flanco de la señal de reloj del maestro y permanece válido hasta el siguiente flanco.

Nota 1: El registro TSR no está situado en la memoria, por lo tanto no está disponible para el usuario.

12.4.1.4 Configuración de la Transmisión Síncrona en Modo Maestro

1. Inicializar la pareja de registros SPBRGH, SPBRG y los bits BRGH y BRG16 para configurar la velocidad de transmisión deseada (ver **Sección 12.3 "Generador de velocidad de transmisión (BRG)"**).
2. Habilitar el puerto serie síncrono maestro poniendo a uno los bits SYNC, SPEN, y CSRC.
3. Deshabilitar el modo de recepción poniendo a cero los bits SREN y CREN.
4. Habilitar la transmisión poniendo TXEN=1.
5. Si se desea transmitir en modo de 9 bits, poner a uno el bit TX9.
6. Si se quieren utilizar interrupciones, poner a uno el bit TXIE del registro PIE1 y los bits GIE y PEIE del registro INTCON.
7. Si se ha seleccionado el modo de transmisión de 9-bits, el noveno bit se debe cargar en el bit TX9D.
8. Comenzar la transmisión cargando el dato en el registro TXREG.

FIGURA 12-10 TRANSMISIÓN SÍNCRONA

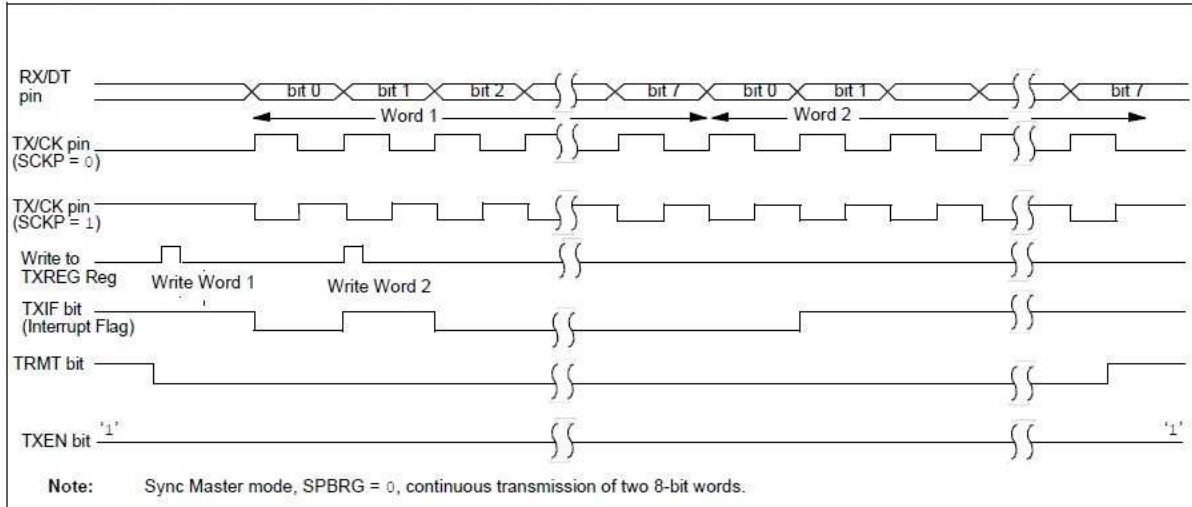


FIGURA 12-11 TRANSMISIÓN SÍNCRONA (USANDO EL BIT TXEN)

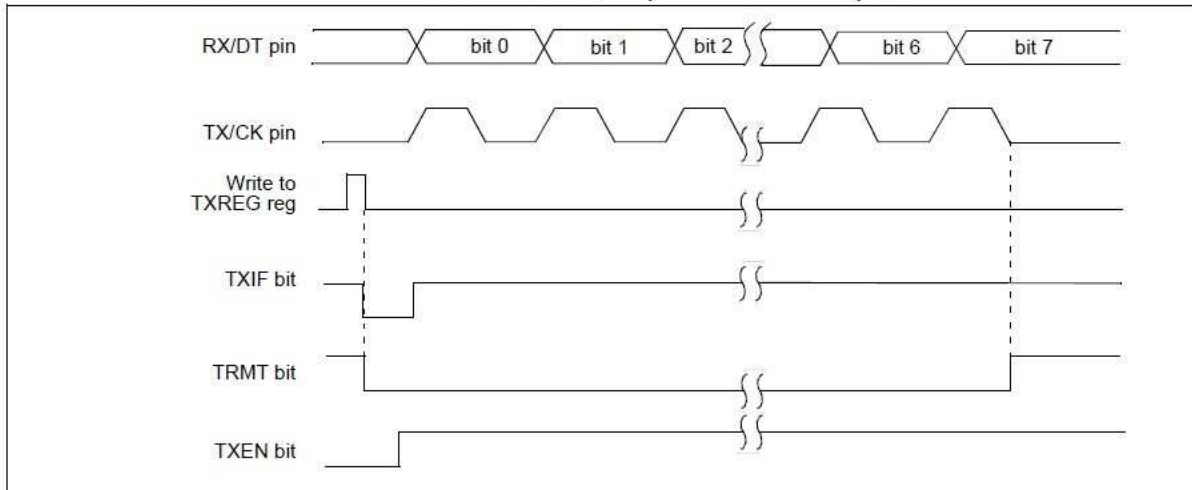


TABLA 12-7 REGISTROS ASOCIADOS CON LA TRANSMISIÓN MASTER SÍNCRONA

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART Receive Data Register								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
TXREG	EUSART Transmit Data Register								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SEnDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

Legend: x = unknown, — = unimplemented read as '0'. Shaded cells are not used for Synchronous Master Transmission.

12.4.1.5 Recepción Síncrona Modo Maestro

Los datos se reciben en el pin RX/DT. El “driver” de salida del pin RX/DT se deshabilita automáticamente cuando el módulo EUSART se configura como maestro en operaciones de recepción síncronas.

En modo Síncrono, la recepción se habilita poniendo a uno el bit de habilitación de la recepción simple (bit SREN del registro RCSTA) o bien, el bit de habilitación de la recepción continua (bit CREN del registro RCSTA).

Cuando el bit SREN se pone a uno y el CREN a cero, solo se generan tantos ciclos de reloj como bits de datos contenga un único carácter. El bit SREN se pone a cero automáticamente al finalizar el carácter. Cuando el bit CREN se pone a uno, los pulsos de reloj se generan continuamente hasta que el bit CREN se pone a cero. Si el bit CREN se pone a cero en medio de un carácter la señal de reloj se para inmediatamente y parte del carácter se pierde. Si los dos bits CREN y SREN se ponen a uno, entonces el bit SREN se pone a cero al final del primer carácter y el bit CREN tiene entonces prioridad.

Para iniciar la recepción, poner a uno el bit SREN o el CREN. El dato es muestreado en el pin RX/DT con el último flanco de la señal de reloj del pin TX/CK y transferido hacia el registro de desplazamiento RSR. Cuando se recibe un carácter completo en el RSR, el bit RCIF se pone a uno y el carácter es automáticamente transferido hacia el buffer FIFO de recepción de dos caracteres. Los ocho bits menos significativos del primer carácter del buffer FIFO de recepción están disponibles en el registro RCREG. El bit RCIF permanece a uno mientras queden caracteres no leídos en el buffer FIFO de recepción.

12.4.1.6 Reloj Esclavo

La transferencia de datos síncrona utiliza una línea separada de reloj, que está en sincronismo con los datos. Un dispositivo configurado como esclavo recibe la señal de reloj por la línea TX/CK. El driver de salida del pin TX/CK se deshabilita automáticamente cuando el dispositivo se configura en modo esclavo para operaciones síncronas de transmisión o recepción. Los bits de datos en serie cambian con el primer flanco para asegurar que son válidos en el flanco final de cada pulso. Se transfiere un “bit” de datos por cada ciclo de reloj. Se deben recibir tantos ciclos de reloj como bits de datos existan.

12.4.1.7 Error de desbordamiento en la Recepción

El buffer FIFO de recepción puede almacenar dos caracteres. Se producirá un error de desbordamiento si un tercer carácter completo se recibe antes de leer el registro RCREG que accede

al buffer FIFO. Cuando esto ocurre el bit OERR del registro RCSTA se pone a uno. El dato anterior contenido en el buffer es sobrescrito. Los dos caracteres del buffer FIFO se pueden leer, sin embargo, no se podrán recibir nuevos caracteres hasta que el error sea borrado. El bit OERR puede ponerse a cero cuando termina la condición de desbordamiento. Si el error de desbordamiento ocurre cuando el bit SREN está puesto a uno y el bit CREN a cero, entonces el error se borra leyendo el registro RCREG. Si el error ocurre cuando el bit CREN está puesto a uno, entonces el error se borra poniendo a cero el bit CREN del registro RCSTA, o bien, poniendo a cero el bit SPEN que provoca un reset del módulo EUSART.

12.4.1.8 Recepción de caracteres de 9-bits

El módulo EUSART permite la recepción de caracteres de 9-bits. Cuando el bit RX9 del registro RCSTA está puesto a uno el módulo EUSART desplaza 9-bits dentro del RSR por cada carácter recibido. El bit RX9D del registro RCSTA es el noveno bit, y el más significativo, del primer dato no leído dentro del buffer FIFO de recepción. Cuando se leen datos de 9-bits desde el buffer FIFO de recepción, el noveno bit del dato “RX9D” se debe leer antes de leer los ocho bits menos significativos restantes del registro RCREG.

12.4.1.9 Configuración de la Recepción Síncrona en Modo Maestro:

1. Inicializar la pareja de registros SPBRGH,SPBRG y los bits BRGH y BRG16 para configurar la velocidad de recepción deseada.
2. Habilitar el puerto serie síncrono maestro poniendo a uno los bits SYNC, SPEN, y CSRC.
3. Asegurarse de que los bits SREN y CREN están a cero.
4. Si se quieren utilizar interrupciones, poner a uno el bit RCIE del registro PIE1 y los bits GIE y PEIE del registro INTCON.
5. Si se desea recibir en modo de 9 bits, poner a uno el bit TX9.
6. Comenzar la recepción poniendo a uno el bit SREN, o bien, para recepción continua, poner a uno el bit CREN.
7. La bandera de interrupción RCIF se pondrá a uno cuando se complete la recepción de un carácter. Se generará una interrupción si está puesto a uno el bit de habilitación RCIE.
8. Leer el registro RCSTA para conseguir el noveno bit (sólo en modo de 9-bits) y determinar si existen errores durante la recepción.
9. Leer los 8-bits de datos recibidos leyendo el registro RCREG.
10. Si ocurre un error de desbordamiento, borrar el error poniendo a cero el bit CREN del registro RCSTA o bien, poniendo a cero el bit SPEN, lo cual “resetea” el módulo EUSART.

FIGURA 12-12: RECEPCIÓN SÍNCRONA (MODO MAESTRO, SREN)

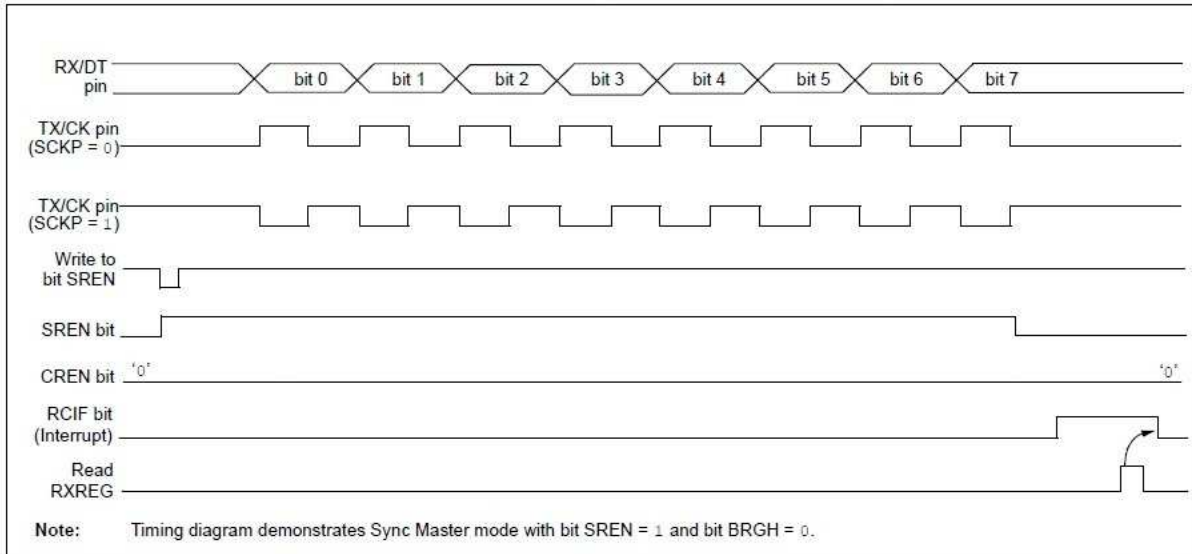


TABLA 12-8: REGISTROS ASOCIADOS A LA RECEPCIÓN MASTER SÍNCRONA

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBFIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART Receive Data Register								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
TXREG	EUSART Transmit Data Register								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDER	BRGH	TRMT	TX9D	0000 0010	0000 0010

Legend: x = unknown, — = unimplemented read as '0'. Shaded cells are not used for Synchronous Master Reception.

12.4.2 MODO SÍNCRONO ESCLAVO

Los siguientes bits se utilizan para configurar el EUSART para operaciones Síncronas esclavas:

- SYNC = 1
- CSRC = 0
- SREN = 0 (para tx); SREN = 1 (para rx)
- CREN = 0 (para tx); CREN = 1 (para rx)
- SPEN = 1

Poner a uno el bit SYNC del registro TXSTA configura el dispositivo para operaciones síncronas. Poner a cero el bit CSRC del registro TXSTA configura el dispositivo como esclavo. Poner a cero los bits SREN y CREN del registro RCSTA asegura que el dispositivo se encuentra en modo de Transmisión, de lo contrario el dispositivo se configura en modo de recepción. Poner a uno el bit SPEN del registro RCSTA habilita el módulo EUSART. Si los pines RX/DT o TX/CK se comparten con un dispositivo analógico, las funciones analógicas de E/S deben ser deshabilitadas poniendo a cero los bits ANSEL correspondientes.

12.4.2.1 Transmisión Síncrona del EUSART en Modo Esclavo

El funcionamiento síncrono en Modo Maestro y Esclavo son idénticos (ver **Sección 12.4.1.3 “Transmisión Síncrona Modo Maestro”**), excepto en caso de estar en modo dormido “sleep mode”. Si dos palabras se escriben en el registro TXREG y luego se ejecuta la instrucción SLEEP, ocurre lo siguiente:

1. El primer carácter será transferido inmediatamente hacia el TSR y transmitido.
2. La segunda palabra permanecerá en el registro TXREG.
3. El bit TXIF no se pondrá a uno.
4. Después de que el primer carácter haya sido desplazado fuera del TSR, el registro TXREG transferirá el segundo carácter hacia el TSR y el bit TXIF se pondrá ahora a uno.
5. Si los bits PEIE y TXIE están a uno, la interrupción despertará al dispositivo del modo dormido y ejecutará la siguiente instrucción. Si el bit GIE está también a uno, el programa ejecutará la rutina de atención a interrupción correspondiente.

12.4.2.2 Configuración de la Transmisión Síncrona en Modo Esclavo:

1. Poner a uno los bits SYNC y SPEN y a cero el bit CSRC.
2. Poner a cero los bits SREN y CREN.
3. Si se quieren utilizar interrupciones, poner a uno el bit TXIE del registro PIE1 y los bits GIE y PEIE del registro INTCON.
4. Si se desea transmitir en modo de 9-bits, poner a uno el bit TX9.
5. Habilitar la transmisión poniendo a uno el bit TXEN.
6. Si se ha seleccionado la transmisión en modo de 9-bits, colocar el noveno bit más significativo en el bit TX9D.
7. Comenzar la transmisión escribiendo los ocho bits menos significativos en el registro TXREG.

TABLA 12-9 REGISTROS ASOCIADOS A LA TRANSMISIÓN SÍNCRONA EN MODO ESCLAVO

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART Receive Data Register								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
TXREG	EUSART Transmit Data Register								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

Legend: x = unknown, - = unimplemented read as '0'. Shaded cells are not used for Synchronous Slave Transmission.

12.4.2.3 Recepción Síncrona del EUSART en Modo Esclavo

El funcionamiento síncrono en Modo Maestro y Esclavo son idénticos (ver **Sección 12.4.1.5 “Recepción Síncrona Modo Maestro”**), con las siguientes excepciones:

- Modo Dormido
- El bit CREN siempre está a uno, por lo tanto el receptor no está nunca en estado de espera “idle”
- El bit SREN, no importa su estado en Modo Esclavo.

Se puede recibir un carácter mientras el dispositivo se encuentra en Modo Dormido poniendo a uno el bit CREN, antes de entrar en el Modo Dormido. Una vez que se recibe la palabra, el registro RSR transferirá el dato hacia el registro RCREG. Si el bit de habilitación RCIE está puesto a uno, la interrupción generada sacará al dispositivo del Modo Dormido y ejecutará la siguiente instrucción. Si el bit GIE está también puesto a uno, el programa saltará hacia el vector de interrupción.

12.4.2.4 Configuración de la Recepción Síncrona en Modo Esclavo:

1. Poner a uno los bits SYNC y SPEN y a cero el bit CSRC.
2. Si se quieren utilizar interrupciones, poner a uno el bit RCIE del registro PIE1 y los bits GIE y PEIE del registro INTCON.
3. Si se desea recibir en modo de 9-bits, poner a uno el bit RX9.
4. Poner a uno el bit CREN para habilitar la recepción.
5. El bit RCIF se pondrá a uno cuando se complete la recepción. Se generará una interrupción si el bit RCIE está puesto a uno.
6. Si se ha seleccionado el modo de 9-bits, conseguir el noveno bit más significativo leyendo bit RX9D del registro RCSTA.
7. Conseguir los ocho bits menos significativos restantes del FIFO leyendo el registro RCREG.
8. Si ocurre un error de desbordamiento, borrar el error poniendo a cero el bit CREN o bien el bit SPEN, lo cual provoca un reset del EUSART.

TABLA 12-10 REGISTROS ASOCIADOS A LA RECEPCIÓN SÍNCRONA EN MODO ESCLAVO

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other Resets
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART Receive Data Register								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
TXREG	EUSART Transmit Data Register								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

Legend: x = unknown, — = unimplemented read as '0'. Shaded cells are not used for Synchronous Slave Reception.

12.5 Operaciones del EUSART en Modo Dormido

El módulo EUSART PERMANECERÁ activo mientras se encuentra en el Modo Dormido, solamente en el Modo Síncrono Esclavo. Todos los restantes modos necesitan el reloj del sistema, por lo tanto, no pueden generar las señales necesarias para hacer funcionar los registros de desplazamiento del Transmisor y el Receptor en el Modo Dormido.

El modo Síncrono Esclavo utiliza una señal de reloj generada externamente para hacer funcionar los registros de desplazamiento del Transmisor y el Receptor.

12.5.1 RECEPCIÓN SÍNCRONA EN MODO DORMIDO

Para recibir en Modo Dormido, se deben cumplir todas las condiciones siguientes antes de entrar en el Modo Dormido:

- Los registros de control RCSTA y TXSTA deben ser configurados para la Recepción Síncrona en Modo Esclavo (ver **Sección 12.4.2.4 “Configuración de la Recepción en Modo Síncrono Esclavo”**).
- Si se desean interrupciones, poner a uno el bit RCIE del registro PIE1 y los bits GIE y PEIE del registro INTCON.
- La bandera de interrupción RCIF debe ponerse a cero leyendo el registro RCREG para descargar cualquier carácter pendiente en el buffer de recepción.

Cuando se entra en el Modo Dormido, el dispositivo estará listo para aceptar datos y señal de reloj en los pines RX/DT y TX/CK, respectivamente. Cuando la palabra de datos ha sido recibida completamente mediante la señal de reloj externa, la bandera de interrupción RCIF del registro PIR1 se pone a uno. Provocando el “despertar” del procesador del Modo Dormido.

Al salir del Modo Dormido, la instrucción que sigue a la instrucción SLEEP será ejecutada. Si el bit de habilitación global de interrupciones del registro

INTCON está también habilitado, entonces se ejecutará la rutina de atención a interrupción de la dirección 0004h.

12.5.2 TRANSMISIÓN SÍNCRONA EN MODO DORMIDO

Para transmitir en Modo Dormido, se deben cumplir todas las condiciones siguientes, antes de entrar en el Modo Dormido:

- Los registros de control RCSTA y TXSTA deben ser configurados para la Transmisión Síncrona en Modo Esclavo (ver **Sección 12.4.2.2 “Configuración de la Transmisión en Modo Síncrono Esclavo”**).
- La bandera de interrupción TXIF debe ser puesta a cero escribiendo el dato de salida en el registro TXREG, de este modo se pasa el dato al TSR y al buffer de transmisión.
- Si se desea utilizar interrupciones, poner a uno el bit TXIE del registro PIE1 y el bit PEIE del registro INTCON.
- Los bits de habilitación de interrupciones TXIE del registro PIE1 y PEIE del registro INTCON se deben poner a uno.

Al entrar en el Modo Dormido, el dispositivo estará listo para recibir la señal de reloj en el pin TX/CK y transmitir datos por el pin RX/DT. Cuando la palabra de datos en el TSR ha sido completamente transmitida mediante la señal de reloj externa, el byte restante en el registro TXREG se transfiere hacia el TSR y la bandera de interrupción TXIF se pone a uno. De esta forma, el procesador “despierta” del Modo Dormido. En este punto, el registro TXREG esta disponible para aceptar otro carácter para transmitir, el cual borrará la bandera TXIF.

Al salir del Modo Dormido, la instrucción que sigue a la instrucción SLEEP será ejecutada. Si el bit de habilitación global de interrupciones está también habilitado, entonces se ejecutará la rutina de atención a interrupción de la dirección 0004h.

PIC16F882/883/884/886/887

NOTAS: