

Los PIC 16F88X:Módulo de comunicaciones serie síncrona: MSSP SPI

IES Juan de la Cierva



Aprendizaje de la Electrónica a través de la Robótica

Módulo de Comunicaciones Serie Síncrona (MSSP)

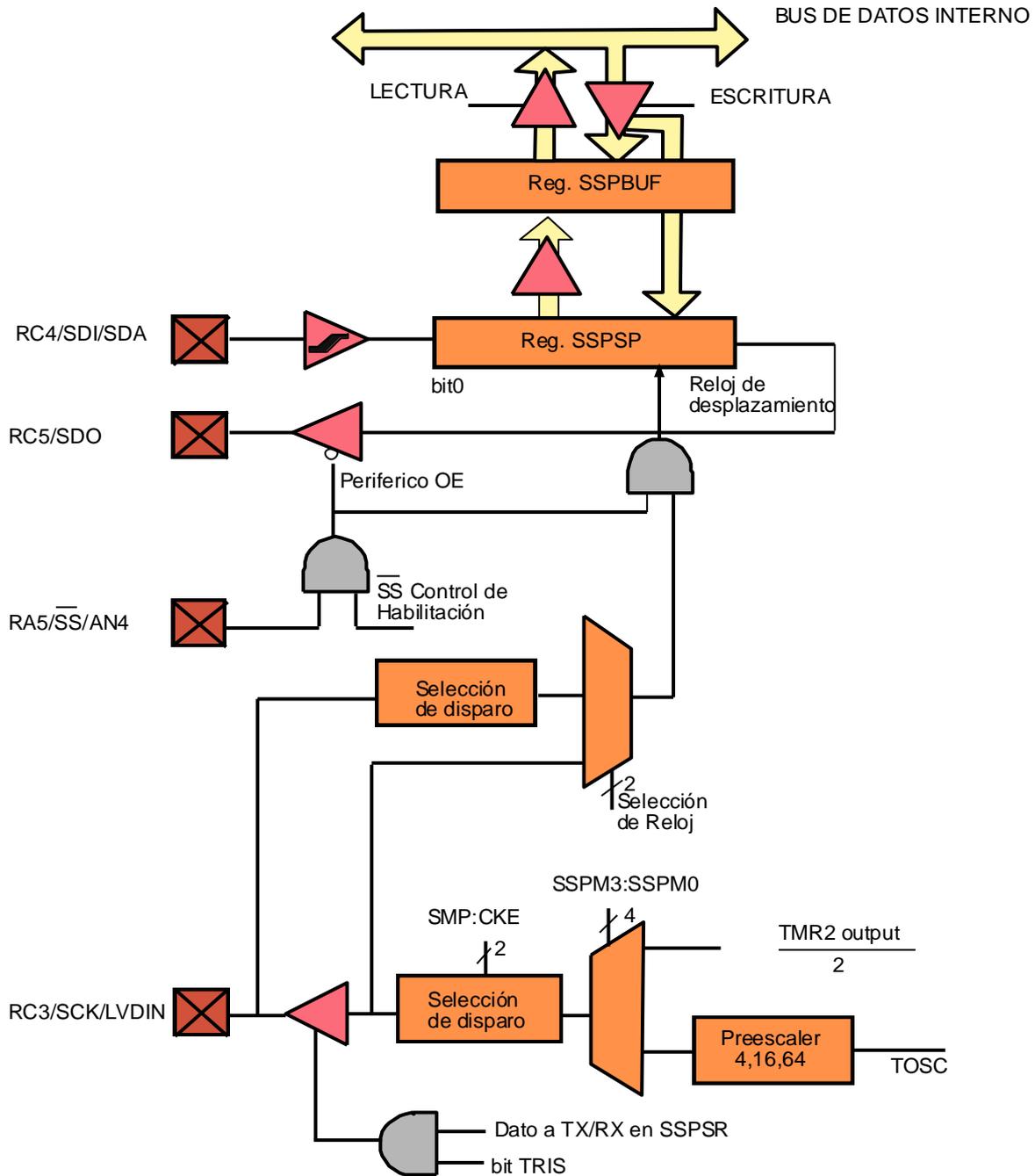
- Este periférico es un interface serie útil para comunicar con otro periférico o dispositivos.
- Los dispositivos pueden ser EEPROM, A/D, D/A reloj en tiempo real, sensores, resistencias etc...
- El módulo MSSP puede operar en uno de estos dos modos:
 - Serial Periférico Interface (SPI)
 - Inter-Integrated Circuit (I2C)

Modo de trabajo del SPI

- Al inicializar el módulo SPI, es necesario configurar varias especificaciones en los registros **SSPSTAT**, y **SSPCON**, pudiéndose seleccionar las distintas modalidades de trabajo.
 - **Modo Master** (donde la señal de reloj será de salida).
 - **Modo Esclavo** (la señal de reloj es de entrada).
 - **Polaridad del Reloj**.
 - **Fase de los datos de entrada**
 - **Velocidad de SCK** (en modo Master)
 - **Selección del modo Slave** si se trabaja de esta forma.

Modo de trabajo del SPI

- Para habilitar el puerto SPI, deben configurarse adecuadamente los bits **SSPEN** y **CKP** del registro **SSPCON** <5:4> y los **SMP** y **CKE** del registro **SSPSTAT** <7:6>.
- Cuando se inicializa el SPI es necesario especificar en el registro SSPCON las diferentes opciones:
 - Modo Master
 - Modo Slave
 - Polaridad de la señal de reloj
 - Velocidad del SCK



Modulo MSSP en modo SPI

- Básicamente consiste en un registro , el **SSPSR**, que desplaza el dato hacia o desde el interior del módulo **MSSP**. Empezando por el bit de mayor peso. Una vez se han recibido 8 bits de datos, el contenido del registro **SSPSR** se copia sobre el registro **SSPBUF** que se encuentra en el área de datos. Desde aquí se puede leer y procesar. También se activan los bit BD del registro **SSPSTAT** y el **SSPIF** del registro **PIR1**, por lo que si se desea, se podrá provocar una interrupción.
- Para transmitir un dato basta con escribirlo en **SSPBUF**. De aquí se copia en **SSPSR** y comienza la salida en serie del mismo. El bit **BF** de **SSPSTAT** nos informa si se ha finalizado la transmisión. Si escribimos un nuevo dato sobre el **SSPBUF** durante la transmisión del previo, será ignorado y se activará el **WCOL** del registro **SSPCON**, que deberá ser borrado por el software.
- El resto de componentes del circuito se encargan de determinar el tipo de reloj que deseamos emplear en el caso de actuar como Master y cuya salida se obtiene por **RC3/SCK**. En caso de actuar como esclavo la señal de reloj se introduce por es misma patilla.

Habilitación del módulo SPI

- El módulo SPI se habilita al activar el bit **SSPEN** del registro **SSPCON**. Para reiniciar o reconfigurar el **SPI** basta con poner a “0” el bit **SSPEN**. Reprogramando el registro **SSPCON** con las nuevas condiciones de trabajo y volver a activar el **SSPEN**. Con esto se configuran las patillas **RC4/SDI**, **RC5/SD0**, **RC3/SCK** y **RA5/SS** como patillas para el interface serie de periféricos **SPI**. A pesar de ello, algunas de estas patillas deben configurarse adecuadamente como E/S mediante los correspondientes TRIS:
 - **RC4/SDI** se controla automáticamente por el propio módulo SPI.
 - **RC5/SD0** debe configurarse como salida poniéndola “0” el bit TRISC<5>.
 - En el modo Master **RC3/SCK** se debe configurar como salida poniendo a “0” el bit TRISC<3>.
 - En el modo Slave **RC3/SCK** se debe configurar como entrada poniendo a “1” el bit TRISC<3>.
 - **RA4/SS** se debe configurar como entrada poniendo a “1” el bit TRISA<5>.

Modo SPI Master

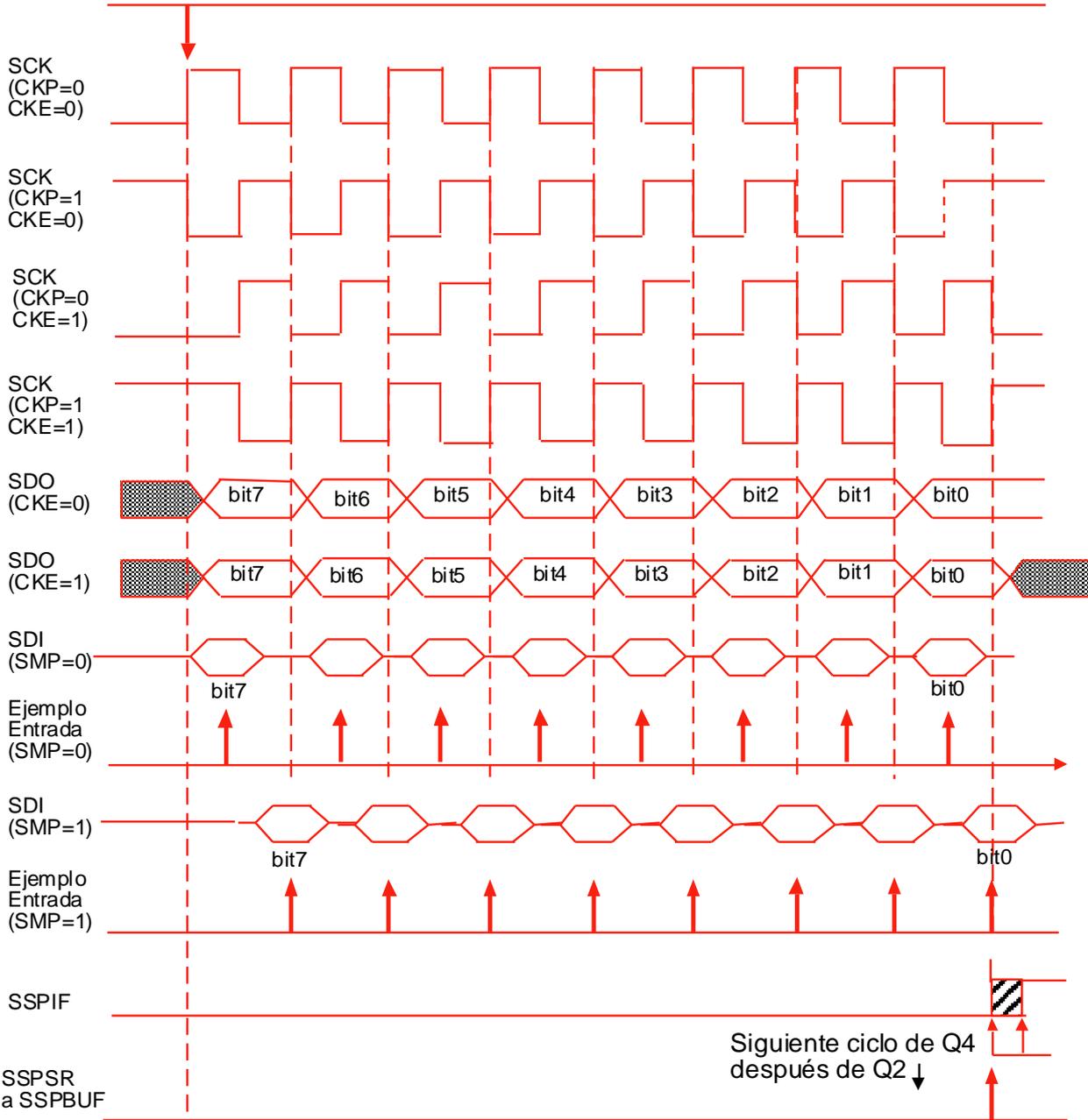
- En este modo se selecciona mediante los bit **SSPM<3:0>** del registro **SSPCON** y tiene la particularidad de ser el que inicia la transferencia de datos y de generar la señal de reloj.
- El dato se transmite/recibe en el momento en que se escribe sobre el registro **SSPBUF**. Si sólo se desea recibir basta con reconfigurar la patilla **RC5/SDO** como entrada. El registro de desplazamiento **SSPSR** se va cargando con los bits presentes en la patilla **RC4/SDI** al ritmo establecido por los pulsos de reloj.
- Cuando se reciben los 8 bits de un byte, la señal de reloj se desactiva. El byte recibido, contenido en el registro **SSPSR**, se copia sobre el registro **SSPBUF** desde donde se puede leer para su tratamiento. El bit **BF** del registro **SSPSTAT**, así como el **SSPIF** del **PIR1** se activan y, si procede, se provoca una interrupción. El proceso de transmisión/recepción se repite al escribir un nuevo byte sobre **SSPBUF**.

Modo SPI Master

- Con objeto de adaptarse a todo tipo de situaciones, el modo **SPI Master** , es capaz de producir cuatro tipo de reloj diferentes. :
 - Con el bit **CKP** del registro **SSPCON** se determina el nivel lógico en que se quedar la patilla **RC3/SCK** en reposo, cuando no se genera la señal de reloj.
 - Con el bit **CKE** del registro **SSPSTAT** se selecciona el flanco ascendente o descendente con el que se transmite cada bit por la patilla **RC5/SDO**.
 - Con el bit **SMP** del registro **SSPSAT**, se selecciona el instante en que el Master debe muestrear y recoger los bit de entrada presentes en la patilla **RC4/SDI**. Puede ser en el centro del ciclo de reloj o al final del mismo.
- La frecuencia de la **señal de reloj** de salida en la patilla **RC3/SCK** se puede obtener a partir de cuatro fuentes distintas, según la configuración de los bits **SSPM<3:0>** del registro **SSPCON**:
 - Fosc/4
 - Fosc/16
 - Fosc/64
 - Salida del TMR2

Un PIC que trabaje a 40MHz (Fosc) la velocidad máxima de transferencia posible será de 10Mbits por segundo.

Escribe en
SSPBUF



Registro PIR1 (0Ch)

							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF
bit7							bit 0

SSPIF: Flag de interrupción del Puerto Serie Síncrono (SSP)

En Modo SPI

Ha tenido lugar una Transmisión/Recepción

En Modo I2C Slave

Ha tenido lugar una Transmisión/Recepción

En Modo I2C Master

Ha tenido lugar una Transmisión / Recepción

La condición de salida iniciada se completó por el módulo de SSP.

La condición de parada inicio se completó por el módulo de SSP.

La condición de reinicialización se completo por el módulo SSP

Una condición de la salida se ha realizado mientras el módulo de SSP estaba en estado de espera (sistema de Multimaster).

Registro PIR2 (0Dh)

			⌘	⌘			⌘
U-0	R/W 0	U-0	R/W-0	R/W-0	U-0	U-0	R/W 0
--	Reservado	--	EEIF	BCLIF	--	--	CCP2IF
bit7							bit 0

BCLIF: Flag que indica la colisión en el bus SSP

1 = Se ha producido una colisión de bus SSP

0 = No se ha producido colisión en el bus SSP

Registro SSPSTAT (94h)



R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	CKE	D/#A	P	S	R/#W	UA	BF
bit7							bit 0

SMP : Fase de datos de entrada SPI

Modo Master

1 = Muestra datos de entrada al final del tiempo de salida

0 = Muestra datos de entrada a la mitad del tiempo de salida

Modo Esclavo SPI

SMP debe borrarse cuando el SPI se emplea en modo esclavo

Modo I²C Master o Esclavo

1 = Deshabilita control de variaciones para velocidad estándar (100KHz y 1MHz)

0 = Habilita control (400 KHz)

Registro SSPSTAT (94h)



R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	CKE	D/#A	P	S	R/#W	UA	BF
bit7							bit 0

CKE : Selección del flanco de reloj

Modo SPI

Con CKP = 0 (que está en el registro SSPCON)

1 = Dato transmitido en flanco ascendente de SCK

0 = Dato transmitido en flanco descendente de SCK

Con CKP = 1 (que está en el registro SSPCON)

1 = Dato transmitido en flanco descendente de SCK

0 = Dato transmitido en flanco ascendente de SCK

Modo I²C Master o Esclavo

1 = Dato transmitido en flanco descendente de SCK

0 = Dato transmitido en flanco ascendente de SCK

Registro SSPSTAT (94h)



R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	CKE	D/#A	P	S	R/#W	UA	BF
bit7							bit 0

D/A : Bit de Datos/Direcciones (solo en modo I2C)

1 = Indica el último byte recibido o transmitido es un dato

0 = Indica que el último byte recibido o transmitido es una dirección.

P: Bit de Stop (solo en modo I2C)

1 = Indica que se ha detectado un bit de Stop (este bit es “0” en RESET)

0 = Bit de Stop no detectado

S: Bit de Start (solo en modo I2C)

1 = Indica que se ha detectado un bit de Start

0 = Bit de Start no detectado

Registro SSPSTAT (94h)



R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	CKE	D/#A	P	S	R/#W	UA	BF
bit7							bit 0

R/W : Bit de I (solo en modo Información de Lectura/Escritura (Solo en modo I²C))

I²C Modo Esclavo

1 = Escritura

0 = Lectura

I²C Modo Master

1 = Transmisión en progreso

0 = No hay transmisión en progreso

UA: Activación de dirección (solo en modo I²C 10 bits)

1 = Indica que es necesario actualizar la dirección en el registro SSPADD

0 = no es necesario actualizar la dirección

Registro SSPSTAT (94h)



R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	CKE	D/#A	P	S	R/#W	UA	BF
bit7							bit 0

BF : Bit de estado de buffer

Receptor (Modo SPI e I2C)

1 = Recepción completa SSPBUF está lleno

0 = Recepción no completa el SSPBUF no está lleno

Transmisor (Modo I2C)

1 = Transmisión en progreso, SSPBUF está lleno (no incluye ACK y bit de Stop)

0 = Transmisión completa SSPBUF está vacío (no incluye ACK y bit de Stop)

Registro SSPCON (14h)



R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
bit7							bit 0

WCOL : Bit de detección de colisión

1 = El registro SSPBUF se ha escrito cuando hay una transmisión en proceso (se debe borrar por software)

0 = No hay colisión

Registro SSPCON (14h)



R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
bit7							bit 0

SSPOV: bit de detección de desbordamiento en recepción

En modo SPI

1 = Se recibe un nuevo byte cuando el registro SSPBUF aún mantiene los datos anteriores . En caso de desbordamiento, los datos del SSPSR serán falsos , solo puede ocurrir en modo esclavo. Se deberá leer SSPBUF, aún si solo se envían datos, para anular el rebose.

En modo Master el bit no se pone a “1” ya que en cada transmisión o recepción es inicializado por la escritura del registrso SSPBU.

0 = No hay desbordamiento

En modo I2C

1 = Se recibe un nuevo byte cuando el registro SSPBUF aún mantiene los datos anteriores . En modo transmisión no tiene importancia, en cualquier caso debe borrarse por software

0 = No hay desbordamiento

Registro SSPCON (14h)



R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
bit7							bit 0

SSPEN : Bit de habilitación del módulo SSP (synchronous Serial Port)

En modo SPI

1 = Habilita puerto serie y configura SCK, SDO y SDI como patillas del puerto serie.

0 = Deshabilita el puerto serie y configura estas patillas como puerto de Entrada/Salida

En modo I2C

1 = Habilita puerto serie y configura SDA y SDL como patillas del puerto serie.

0 = Deshabilita el puerto serie y configura estas patillas como puerto de Entrada/Salida

En ambos casos, se deberán configurar como entradas o salidas adecuadamente.

Registro SSPCON (14h)



R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
bit7							bit 0

CKP : Bit de selección de polaridad del reloj

En Modo SPI

1 = Reloj a nivel alto. Transmisión en flanco de bajada, en recepción de subida.

0 = Reloj en nivel bajo. Transmisión en flancos de subida por flancos de bajada.

En Modo I2C Esclavo (en este modo no se usa como Master)

Control de desbloqueo de SCR

1 = Habilita reloj

0 = Mantiene el reloj a nivel bajo

Registro SSPCON (14h)

R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
bit7							bit 0

SSPM3:SSPM0 Bit de selección del modo del SSP (Synchronous Serial Port)

0000: Modo Master del SPI, reloj = $F_{osc}/4$

0001: Modo Master del SPI, reloj = $F_{osc}/16$

0010: Modo Master del SPI, reloj = $F_{osc}/32$

0011: Modo Master del SPI, reloj = TMR2 salida/2

0100: Modo Master del SPI, reloj = patilla SCK. Deshabilitada patilla #SS.

0101: Modo Master del SPI, reloj = patilla SCK. Deshabilitada patilla #SS, se puede emplear I/O

0110: Modo Esclavo I2C, dirección de 7 bits

0111: Modo Esclavo I2C, dirección de 10 bits

1000: Modo Master I2C, Reloj = $F_{osc}/(4x(SSPADD+1))$.

1011: Modo Esclavo I2C con soporte

1110: Modo Esclavo I2C, dirección de 7 bits con interrupciones Start y Stop habilitados

1111: Modo Esclavo I2C, dirección de 10 bits con interrupciones Start y Stop habilitadas

Registro SSPCON2 (91h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
GCEN	ASKSTART	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN
bit7							bit 0

GCEN: Bit de HABILITACIÓN GENERAL

1: Habilita Interrupción general (Solo en modo esclavo I²C)

0: Deshabilita dirección de llamada general

Registro SSPCON2 (91h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
GCEN	ACKSTART	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN
bit7							bit 0

ACKSTART: Bit de estado de reconocimiento (Solo en mastes I²C)

Valor de Transmisión

1: Reconocimiento del esclavo no recibido

0: Reconocimiento del esclavo recibido

Valor de Recepción

1: No reconocimiento

0: Reconocimiento

Registro SSPCON2 (91h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
GCEN	ACKSTART	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN
bit7							bit 0

ACKDT: Bit de reconocimiento (solo en modo I²C)

Valor de Recepción

Valor transmitido cuando el usuario indica una secuencia de reconocimiento y final de una recepción

1: No reconocimiento

0: Reconocimiento

Registro SSPCON2 (91h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
GCEN	ACKSTART	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN
bit7							bit 0

ACKEN: Bit de habilitación de secuencia de reconocimiento y final de una recepción (solo en modo I²C)

Modo de Recepción

- 1:** Indica una secuencia de reconocimiento en las patillas SDA y SCL y transmite bit ACKDT. Automáticamente borrado por Hw.
- 0:** Secuencia de reconocimiento en reposo.

Registro SSPCON2 (91h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
GCEN	ACKSTART	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN
bit7							bit 0

RCEN: Bit de habilitación de recepción (solo en modo I2C)

1: Habilita recepción en modo I2C

0: Recepción en reposo

PEN: Bit de habilitación de condición de Stop recepción (solo en modo I2C)

1: Indica una condición de Stop en SDA y SCL. Automáticamente borrado por Hw.

0: Condición de Stop en reposo

Registro SSPCON2 (91h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
GCEN	ACKSTART	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN
bit7							bit 0

RSEN: Bit de habilitación repetir condición Start (solo en modo I2C)

1: Indica una condición de Stop en SDA y SCL. Automáticamente borrado or HW.

0: Condición de recepción de Stop en reposo

SEN: Bit de habilitación de condición de Stop recepción (solo en modo I2C)

1: Indica una condición de Stop en SDA y SCL. Automáticamente borrado por Hw.

0: Condición de Stop en reposo

Registros y bits asociados al Modo I²C

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on: MCLR, WDT
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
0Dh	PIR2	—	(2)	—	EEIF	BCLIF	—	—	CCP2IF	-r-0 0--0	-r-0 0--0
8Dh	PIE2	—	(2)	—	EEIE	BCLIE	—	—	CCP2IE	-r-0 0--0	-r-0 0--0
13h	SSPBUF	Synchronous Serial Port Receive Buffer/Transmit Register								xxxxx xxxxx	uuuuu uuuuu
14h	SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
91h	SSPCON2	GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	0000 0000	0000 0000
93h	SSPADD	I ² C Slave Address/Master Baud Rate Register								0000 0000	0000 0000
94h	SSPSTAT	SMP	CKE	D \bar{A}	P	S	R \bar{W}	UA	BF	0000 0000	0000 0000

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used by the SSP in I²C mode.

Note 1: These bits are reserved on PIC16F873/876 devices; always maintain these bits clear.

2: These bits are reserved on these devices; always maintain these bits clear.